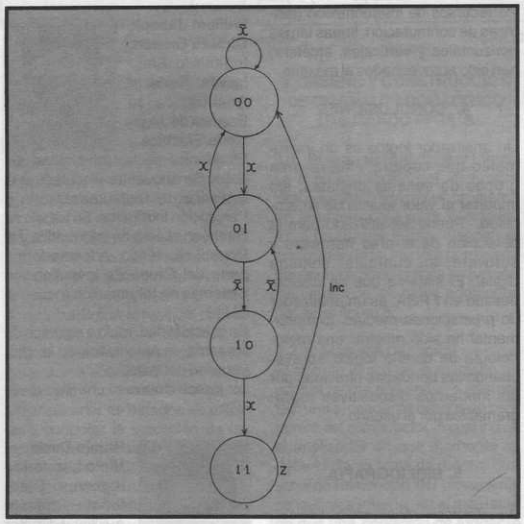
Consideraciones de diseño de las máquinas secuenciales sincrónicas

(Segunda parte - Final)



❒ **Luis Alberto Gómez Arizabaleta** M.Sc.
Ingeniero Electricista
Profesor auxiliar
Universidad del Valle

❒ **Diego Fernando Duque Betancourth**
Ingeniero Electricista
Universidad del Valle

* Este texto se recibió, para ser publicado, en agosto de 1996

RESUMEN

Las máquinas secuenciales sincrónicas constituyen la columna vertebral en el diseño de sistemas digitales complejos, tales como microprocesadores, controladores de video, controladores de sistemas de comunicación sincrónica y asincrónica, controladores de floppy, procesadores digitales de señales, controladores industriales, etc. La teoría del diseño de estas máquinas establece el procedimiento para la síntesis de los circuitos que constituirán una "Máquina Secuencial Sincrónica" (en adelante MSS). Sin embargo, existen consideraciones de tipo práctico que limitan el buen funcionamiento de estos sistemas, haciéndolos poco fiables, a menos que se tengan en cuenta ciertas reglas de diseño.

En la primera parte de este artículo se explicó la teoría básica de síntesis de la MSS, los problemas producidos por retardos de tiempo, tales como: glitches, generación de estados fly y oscilaciones. En esta segunda parte se explica el clock skew y algunas consideraciones de ruido. Para cada uno de estos problemas se presentan soluciones prácticas y se exponen los resultados de una investigación.

ABSTRACT

The finite state machine (FSM) theory constitutes the backbone when you are dealing with the design of a complex digital system as microprocessors, video controllers, communication controllers, devices controllers, DSP, industrial controllers etc.

The method of synthesis for such circuits sets a procedure that must be follow in order to get the actual FSM working. Though there are several practical issues that have to be taken into account if you want to get a FSM working properly.

We will go through a basic FSM theory review, after that, we will consider such problems as glitches, spikes, flight states, oscillations, clock skew and noise considerations.
We will work with typical solution methods and show results from a researching project that is going on.

3. EL CLOCK SKEW

Este fenómeno consiste en un corrimiento en la fase del reloj, debido a los retardos en las líneas de transmisión que transportan la señal de reloj. Con líneas suficientemente largas dentro de un circuito impreso, pueden encontrarse desfases de 10, 15 o 20 nanosegundos. Cuanto más larga es la línea de transmisión, mayor es el desfase. Aunque la cifra parece pequeña, resulta suficiente para no permitir el funcionamiento correcto de una MSS. En la figura 10 puede observarse los retardos provocados por la capacitancia en una línea de transmisión y en la figura 11 se observa un ejemplo en donde el clock skew impide el correcto funcionamiento de un circuito.

La conmutación de la tensión en una línea de transmisión corresponde al avance de una onda de tensión a lo largo de la misma. Un análogo hidráulico corresponde a la apertura de una llave de paso de agua en forma veloz. Aparecerá, justo al inicio de la tubería, un frente de onda de presión que se moverá a lo largo de la misma. La onda viajará llenando la "capacitancia hidráulica" de la tubería de conducción, y estará restringida por la resistencia propia de la misma. De este análisis es claro que toma tiempo para la onda el llegar de un punto de la tubería a otro. De igual forma, una onda de voltaje tomará tiempo para avanzar por un conductor eléctrico. Un análisis detallado de la línea de transmisión muestra que ésta puede analisarse como pequeños tramos infinitesimales compuestos por una resistencia y un condesador de valores extremadamente pequeños. El efecto de cada capacitancia infinitesimal es el de retardar el cambio en el voltaje, y el efecto de cada resistencia infinitesimal es el de reducir la amplitud de la onda cada vez más. Puede obtenerse un quivalente RC de toda la línea de transmisión, para el cual se hace un análisis de Fourier. El resultado muestra que la capacitancia "filtra" un componente de frecuencia del voltaje en la línea de transmisión y por eso se deforma al llegar al final de la misma.

Un mal funcionamiento por clock skew, se debe al efecto de la capacitancia propia de la línea de transmisión, que atrasa en el tiempo y deforma la onda del reloj. En el circuito de la figura 11 se observa que uno de los Flip-Flops obtiene la señal de reloj desfasada y deformada, por lo que reaccionará tardíamente para generear un bit de un estado cualquiera. Esta es otra manera por la cual se forman estados fly.

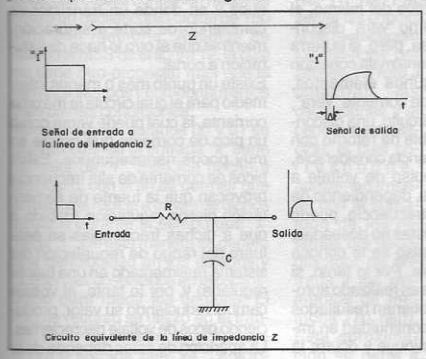


Figura 10. Retardos en las líneas de transmisión

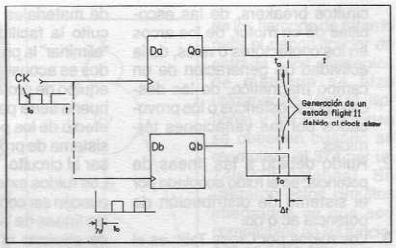


Figura 11. Ejemplo de mal funcionamiento por clock skew

4. EL RUIDO Y SUS EFECTOS EN LOS SISTEMAS DIGITALES

Es bien sabido que los sistemas digitales operan con valores bajos en las variables eléctricas conocidas y, además, que existe un rango de operación del voltaje de entrada que creará un comportamiento particular del circuito lógico, el cual se refleja en la salida en un rango posible de valores de voltaje proporcional al voltaje de entrada; estos rangos son conocidos como niveles '0' y '1' lógicos, pero no sólo el nivel lógico de entrada a un determinado circuito digital hace que éste genere una respuesta, para ello se necesita del mantenimiento del valor de la señal de entrada (nivel lógico) durante un tiempo determinado, por lo general en nanosegundos, donde el dispositivo, más exactamente la entrada del mismo, reconoce el nivel lógico como entrada el cual, a su vez, generará un comportamiento particular de dicho circuito digital; como vemos, una entrada a un circuito lógico debe estar formada por mínimo un nivel lógico y un tiempo de mantenimiento para así obtener una salida deseada, sin embargo, existen señales que tienen estas características pero generan una salida no deseada y ésta puede afectar por completo el comportamiento del sistema o el resto del circuito digital, si este último no ha sido diseñado para evitarlo, a este tipo de señales se les conoce como señales de ruido o simplemente ruido.

Los ruidos se pueden clasificar de la siguiente manera:

1. Ruido Externo: es el ruido radiado del medio ambiente al sistema. Este ruido puede resultar de los

ciruitos breakers, de las escobillas de un motor, de los arcos en los contactores o relés, de la actividad de generación de un campo magnético, de las descargas atmosféricas o los provocados por las variaciones térmicas.

2. Ruido debido a las líneas de potencia: es el ruido acoplado por el sistema de distribución de potencia ac o dc.
3. Los ruidos por Cross Talk: es el ruido producido por la inducción de voltaje entre líneas adyacentes.
4. Ruidos por la señal de corriente: ocurridos cuando la señal de corriente encuentra a su paso variaciones bruscas de impedancias.
6. El ruido provocado por la conmutación de los transistores de salida de las compuertas.

En general, los equipos eléctricos funcionan en un ambiente extremadamente ruidoso, además de los ruidos generados internamente. Los pulsos de ruidos pueden llegar de diversas fuentes que podrían ser de campos electroestáticos o de campos electromagnéticos o de ambos. Hay que tener en cuenta que los ruidos que se encuentran en el sistema, poseen una rapidez de cambio altísima (del orden de nanosegundos) y picos de voltaje de valores considerables que en su momento afectan el buen funcionamiento del circuito al cual entran, siempre y cuando éste no halla sido diseñado para evitarlos e incluso su protección sea inadecuada; por esto la protección o apantallamiento que se debe usar en un circuito debe ser sensible y así poder "ver" los ruidos (por lo general, aquellos que afectan considerablemente el circuito, tanto en su respuesta no deseada como en la vida útil del mismo) para lograr detectarlos, detenerlos y eliminarlos oportunamente. Para ello se han empleado diversidad de elementos y materiales que ayuden a proteger, en lo posible, el circuito, como por ejemplo, el aluminio o materiales similares son efectivos en la detención de los ruidos electroestáticos, los materiales ferrosos pueden proteger sucesivamente de campos magnéticos, etc, además, del uso de materiales que permiten al circuito la facilidad de "observar" y "eliminar" la presencia de ciertos ruidos es aconsejable utilizar con este equipo de protección un sistema de buena tierra para así poder evitar el efecto de los posibles ruidos que el sistema de protección pueda ingresar al circuito.

Los ruidos externos, mencionados, pueden ser conducidos al circuito por las líneas de potencia; una manera de eliminar la influencia de estos ruidos es el desacople y filtrado de estas líneas antes de ingresar al circuito. En el proceso de diseño del sistema de protección también debe evaluarse el efecto del ruido, desde el punto de vista del ancho de su pulso (ancho de banda) y compararlo con el ancho del pulso de los elementos del circuito lógico o de la MSS, donde los grandes anchos de banda hacen del circuito o elemento susceptible a los ruidos generados externamente, incluso si el ruido tiene un tiempo de mantenimiento superior al tiempo de mantenimiento de una compuerta en partícular, ingresará a ésta y producirá un comportamiento no deseado (si es que su nivel de voltaje no disminuye su vida útil o la destruye) por lo tanto un sistema lógico lento (ancho de banda pequeño) es menos susceptible a los ruidos que uno rápido sólo si es más lento que la señal de ruido.

Es bien claro que si los dispositivos están bien conectados y aterrizados y además el camino de retorno (tierra) del circuito es único para todos los elementos del mismo, el flujo de corriente no "verá" discontinuidad en la línea, pero, si la tierra es pobre o existe una mala conexión de tierra de algunos elementos, entonces el flujo de corriente "verá", a su paso por el circuito, una discontinuidad en el cable de retorno con un valor de impedancia considerable, generando un pulso de voltaje a través de ella que, dependiendo de su valor y de su frecuencia, puede ocasionar respuestas no deseadas; a este tipo de pulso se le conoce como Ruido Spike. Por lo tanto, si el retorno de tierra es realizado apropiadamente se obtienen resultados deseados, la discontinuidad en impedancia se disminuye y ocurre la cancelación de la corriente en el punto de tierra eliminando así los voltajes spikes.

Como se observa, existen muchas fuentes para una señal de ruido. Profundizaremos sólamente en los ruidos provocados por el cross-talk y por la conmutación de los transistores en las compuertas.

4.1. El cross-talk

Este ruido consiste en la inducción de voltaje de alguna polaridad en una línea digital que presenta un estado lógico 1 ó 0 por parte de otra línea que está comutando de 1 a 0 ó de 0 a 1. El efecto es el mismo que ocurre en un transformador, donde se evidencia claramente la ley de inducción de Faraday.

En muchas de las fotos presentadas, pueden observarse pequeñas variaciones en un estado lógico justamente cuando ocurre un cambio en una línea cercana. El cross-talk depende de la intensidad de la corriente que conmuta y de la cercanía entre las líneas de conducción de los niveles lógicos. Por fortuna, debido al alto margen de ruido que soportan las compuertas lógicas y la poca intensidad de la corriente manejada, normalmente este ruido no afecta al sistema.

4.2. La conmutación de los transistores en las compuertas

La conmutación desde un estado lógico al contrario no ocurre en forma instantánea (0 nsg), más bien es una transición que toma valores continuos y en donde un transistor va cambiando de corte a saturación, mientras que el otro lo hace de saturación a corte.

Existe un punto más o menos intermedio para el cual circula la máxima corriente, la cual puede verse como un pico de corriente que ocurre en muy pocos nanosegundos. Estos picos de corriente de alta frecuencia provocan que la fuente de alimentación pierda regulación (debido a que a dichas frecuencias se está fuera del rango de regualación del sistema realimentado en una fuente regulada) y, por lo tanto, el voltaje cambia reduciendo su valor, produciendo picos de voltaje decrecientes. La aparición de éstos depende de la capacidad de regulación de la fuen-

te y de la carga en un instante determinado. Cuando una fuente está alimentando un sistema digital verá en cada instante de tiempo la conmutación de un número diferente de transistores y, por lo tanto, una carga que varía con el tiempo. Pero, súbitamente ocurre una conmutación de un número grande de transistores, lo que provoca que la fuente deje de regular por un período de tiempo muy corto generando variaciones en las tensiones que se reflejan en las salidas como ruido.

5. RESULTADOS EN UN PROYECTO DE INVESTIGACIÓN ACERCA DE LOS FENÓMENOS ANALIZADOS

Los siguientes son resultados de un proyecto de investigación que consiste en diseñar y construir procesadores de propósito general y específico. La primera etapa de este proyecto es el estudio de las características de la MSS para lograr un funcionamiento fiable dentro de un sistema digital complejo, como lo es un procesador. Resultados posteriores serán publicados en otros artículos y tienen que ver con la comunicación entre máquinas, llamados a procedimientos hardware y el diseño de un procesador de 8 bits con arquitectura de Von Neumann.

Para medir los tiempos de retardos en el orden de los nanosegundos y, además, observar las formas de onda (las cuales contienen ruido) se utilizó un osciloscopio digital de 100 Mhz con memoria. Además se diseño la MSS de la figura 12, la cual no tiene otro propósito más que el de medir tiempos y comportamientos bajo ciertas condiciones.

Nótese que los estados 00 y 01 se activan cuando la entrada "x" tiene un valor de "1". Esto fue hecho a propósito, con el fin de permitir que la máquina recicle a través de dichos estados durante el tiempo que "x" valga "1". De esta manera se genera una peridiocidad en los estados y pueden ser observados en el osciloscopio para medir los tiempos. El mismo recurso se utilizó en el tránsito entre los estados 01 y 10, pero ahora la entrada vale "x-L". Adicionalmente se aprovecha la periodicidad entre estos dos estados para demostrar la generación de estados fly y glitches.

5.1 Los estados fly y la generación de glitches

En la foto 1 se aprecia la generación de glitches luego de la ocurrencia de un flanco de subida en la señal de reloj. Estos tienen en promedio 2 voltios de amplitud y 12 nsg de duración, aproximadamente. En la misma foto se aprecia que no ocurren glitches en el flanco de caida por lo cual se aprovecha esta situación para hacer el filtrado que se mencionó con anterioridad.

En la foto 2, se observan los retardos en los elementos de memoria y en el decodificador de entrada [Gómez]. Todos estos retardos fueron medidos tomando como referencia el flanco de subida del reloj.

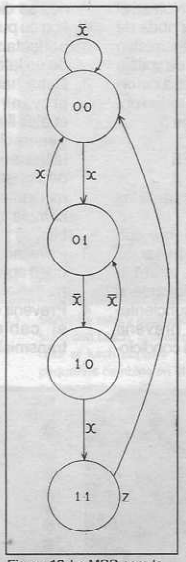


Figura 12. La MSS para la medición de los tiempos de retardo

5.2 Oscilaciones

Con la MSS de la figura 8 (Ver Revista No. 11, 1ra. Parte) es posible observar las condiciones de oscilación si se reemplazan los flip-flops por latches. ***La foto 3*** muestran las oscilaciones y el período de oscilación, el cual corresponde, aproximadamente, con la sumatoria de los retardos del decodificador de entrada y los elementos de memoria (70 nsg). Esta aproximación se debe a que la medición de los tiempos de retardo para el decodificador de entrada y los elementos de memoria se hizo utilizando un 74ls374 (flip-flops) y las oscilaciones se obtienen cuando se reemplaza el 374 por un 74ls373 (latches). Se utilizaron estos circuitos integrados ya que son compatibles en las funciones en cada pin.

5.3 El clock skew

El clock skew se "simuló" mediante el empleo de cables desnudos de diferentes longitudes así: el cable de 7 metros provocó un retardo de 32 nsg, aproximadamente, a 2 MHz; el cable de 2 metros provocó un retardo de 12 nsg, aproximadamente, a 2 MHz y el cable de 30 cm provocó un retardo de 3 nsg, aproximadamente. Estos valores parecen despreciables, sin embargo hay que tener en cuenta que el fabricante establece un tiempo de mantenimiento de "0 nsg" para la familia "LS", por lo tanto estos retardos afectarán el funcionamiento del sistema. Podría parecer exagerado utilizar un cable desnudo con 7 y 2 metros de longitud, sin embargo, una línea de conducción real estará sometida a capacitancias parásitas y a los efectos de ruido de

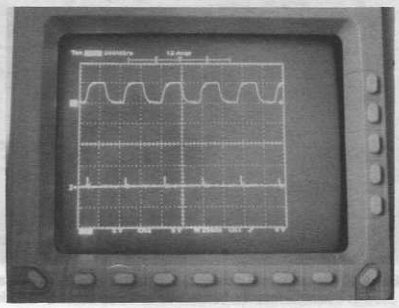


Foto 1.1 Señal de reloj y generación de Glitches debido al estado flight 1.1.

retardo puede ser grande. Nótese el efecto de la reflexión de la onda de voltaje sobre la línea de transmisión en la señal de reloj, la onda de voltaje no es cuadrada, se encuentra deformada. Los resultados se pueden observar en las fotos 4 y fotos 5.

6. CONCLUSIONES

De lo expuesto pueden extraerse las siguientes conclusiones:

1. Una MSS debe diseñarse con flip-flops. En lo posible evitar los latches (sin embargo, existe la posibilidad de utilizar latches si el pulso de reloj es lo suficientemente angosto para prevenir oscilaciones, bajo estas condiciones se dice que se tiene un flip-flop de pulso angosto, aunque es perfectamete claro que se trata de un latch).
2. Debe hacerse un esfuerzo por prevenir los estados fly, los cuales llevan muchas veces a la generación de glitches. Debe utilizarse el filtrado por desfase de las salidas o la prevención, mediante una codificación donde cambia uno y sólo uno de los bits.
3. Prevenir el ruido mediante un buen apantallamiento y una buena tierra.
4. Prevenir el clock skew mediante el cableado de líneas de transmisión cortas y de baja resistencia (no utilizar impulsores de corriente en estas línea).
5. La fuente de poder debe ser de alta calidad con un ancho de banda suficiente para responder a cambios de alta frecuencia.

Teniendo en cuenta estas recomendaciones se pueden lograr sistemas fiables que podrán funcionar bajo condiciones normales en forma correcta.

BIBLIOGRAFÍA

[1.] FLETCHER.W, An Engineering Aproach to Digital Design. Prentice-Hall Inc., 1980.

[2.] GÓMEZ. L.A, Conceptos Funda-

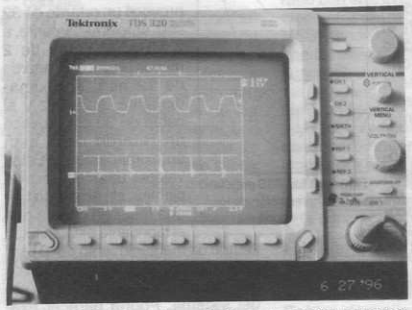


Foto 1.2 Señal de reloj y medición de la amplitud del Glitch aproximadamente 2.1 volts.

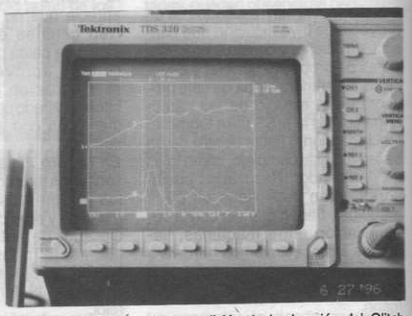


Foto 1.3 Señal de reloj y medición de la duración del Glitch, aproximadamente 12 nsg.

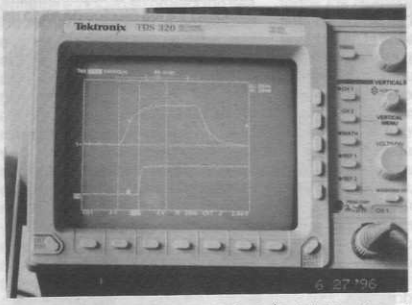


Foto 2.1 Señal de reloj y conmutación de ϕ a 1 de D_A, nótese el retardo de aprox. 60 nsg. esto está en el orden del retardo total teniendo en cuenta el decodificador de entrada y tu memoria.

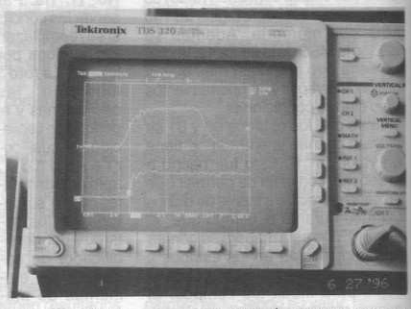


Foto 2.2 Señal de reloj y conmutación de ϕ a 1 de Q_A, nótese el retardo de aprox. 32 nsg. que coresponden al a memoria.

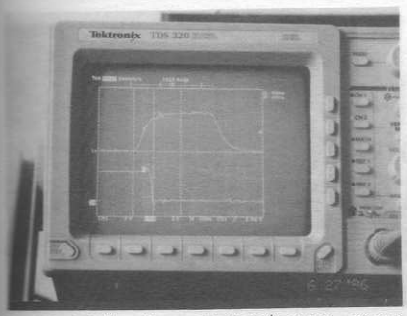


Foto 2.3 Señal de reloj y conmutación de ϕ a 1 de D_A, nótese el retardo de aprox. 60 nsg. esto está en el orden del retardo registrado en la foto 2.1.

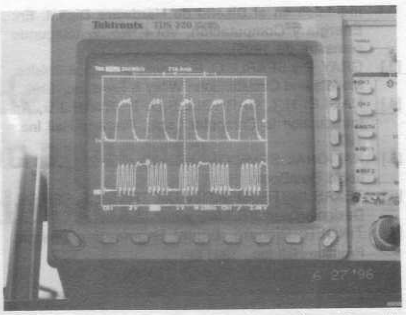


Foto 3.1 Señal de reloj y oscilaciones presentadas en Q_A para la MSS con Latch, nótese que al final del semiciclo alto del reloj el lutch captura 1 o en ϕ, dependiendo de los pequeños cambios en el período de la oscilación debido a temperatura.

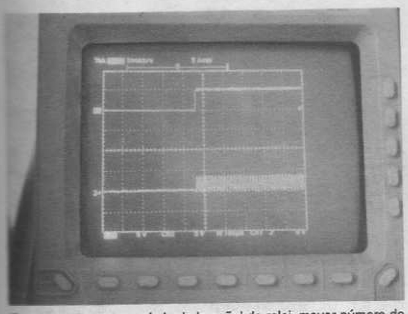


Foto 3.2 A mayor período de la señal de reloj, mayor número de oscilaciones en Q_A

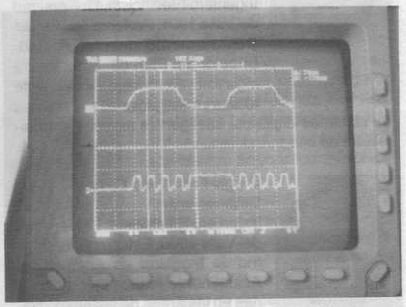


Foto 3.3 Medición del período de la oscilación, el cual corresponde a 70 nsg. aproximadamente.

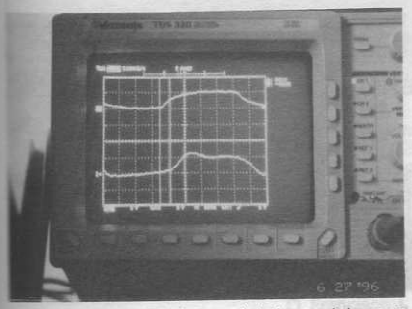


Foto 4.1 Medición del desface por clock skew emulado con un cable de 7 mts. de longitud, aproximadamente 32 nsg. entre flancos de salida de la señal de reloj a 2 mhz.

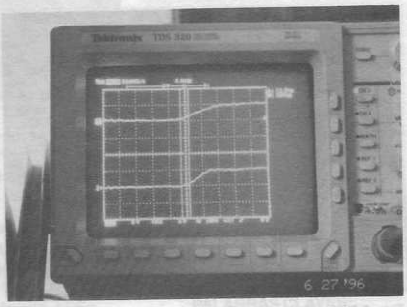


Foto 4.2 Medición del desface por clock skew emulado con un cable de 2 mts. de longitud, aproximadamente 12,5 nsg. entre flancos de salida de la señal de reloj a 2 mhz.

mentales en el Diseño de Hardware Digital. En: Energía y Computación. Vol.4, No. 2, (Segundo semestre de 1995).
[3.] GRAY. P y SEARLE.C, Electronic principles Phisics, Models and Circuits. John Wiley & Sons Inc, 1969.
[4.] NAGLE. H.T, CARROLL.B.D. E IRWIN.J.D, An Introduction to Computer Logic. Prentice-Hall Inc., 1975.
[5.] NATIONAL SEMICONDUCTOR CORP. LS/S/TTL Logic DataBook
[6.] TEXAS INSTRUMENTS ELECTRONICS SERIES. Designing with TTL Integrated Circuits.
[7.] TINDER, Richard. Digital Engineering Design, Prentice-Hall Inc., 1991

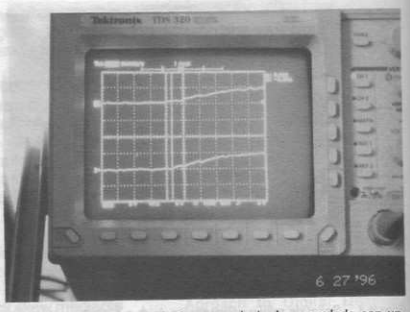


Foto 4.3 Medición del desface por clock skew emulado con un cable de 30 cms. de longitud, aproximadamente 3.6 nsg. entre flancos de salida de la señal de reloj a 2 mhz.

AUTORES



Luis Alberto Gómez Arizabaleta
Ingeniero Electricista, Universidad del Valle 1991. Profesor Auxiliar del Departamento de Electricidad. Director del Plan de Estudios de Ingeniería Electrónica. Actualmente realiza investigaciones en las áreas de sistemas digitales, inteligencia artificial y arquitectura de computadores.



Diego Fernando Duque Betancourth.
Ingeniero Electricista, Universidad del Valle 1996. Estudiante Programa de Magister en Automática. Actualmente realiza investigaciones en las áreas de sistemas digitales e inteligencia artificial.

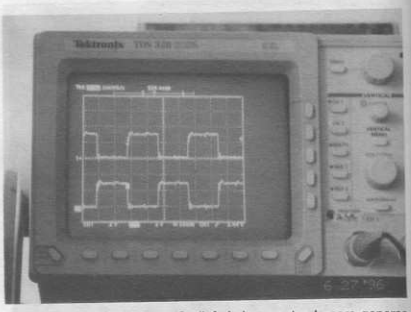


Foto 5.1 Q_A (Superior) y Q_B (Inferior) conmutando para generar los tránsitos entre los estados e $\phi 1$ y 1ϕ.

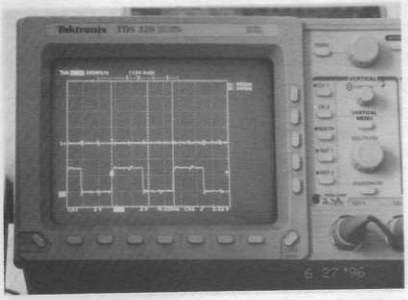


Foto 5.2 Q_A (Superior) y Q_B (Inferior) conmutando para generar los tránsitos entre los estados e $\phi\phi$ y 1ϕ.

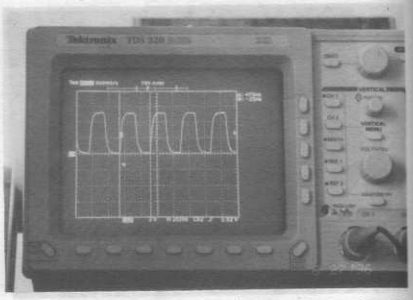


Foto 5.3 Señas de reloj con un período de 475 nsg., nótese la deformaciones en los flancos debido al efecto comparativo de la línea que conduce el reloj.