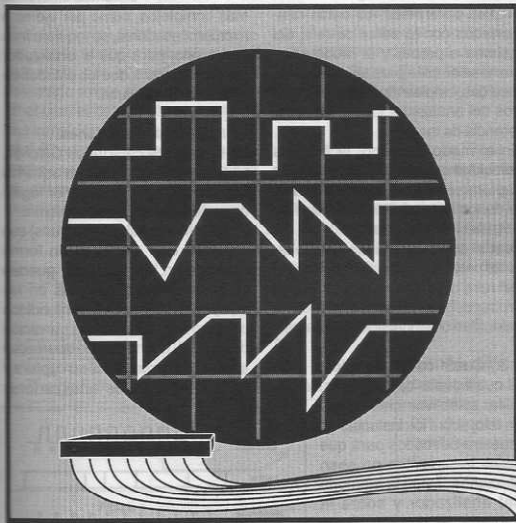


Diseño de un analizador lógico usando (FPGA's)



□ William Joseph Giraldo O.
Ingeniero Electricista
Profesor Auxiliar
Escuela de Ingeniería
Eléctrica y Electrónica
Universidad del Valle

□ Rubén Darío Nieto L.
Ingeniero Electricista
Profesor Auxiliar
Escuela de Ingeniería Eléctrica
y Electrónica
Universidad del Valle

RESUMEN

Se mencionan las características básicas de un Analizador Lógico. Se utiliza la tecnología de circuitos integrados, con matrices lógicas reprogramables por el usuario (FPGA's: Field Programmable Gate Arrays) y se indica como diseñar y construir un analizador lógico de prestaciones medias usando una FPGA.

ABSTRACT

The basic Characteristics of logic analyzer are shown. FPGA (Field Programmable Gate Arrays) technology is used and then the design and built medium performance logic analyzer FPGA based are shown.

1. INTRODUCCIÓN

La evolución de los sistemas electrónicos ha hecho que los sistemas de medida tengan que avanzar a igual velocidad. Esta misma evolución ha hecho que del osciloscopio se halla desarrollado otro instrumento: El Analizador Lógico. Este avance no se ha presentado como un cambio brusco del equipo, sino que las necesidades impuestas por la técnica han provocado una desviación de las características a considerar por cada uno de los mencionados equipos y, de forma paulatina, se han convertido en dos instrumentos con claras diferencias. Para entender mejor, este aspecto, es conveniente mencionar algunos conceptos relativos a las señales analógicas y digitales:

- La señal analógica es una función continua en el tiempo mientras que la señal digital varía en saltos discretos denominados niveles. Se habla, así, de un nivel lógico alto o nivel lógico bajo 1 ó 0, respectivamente.
- El estudio de las variaciones de la señal analógica, a lo largo de

* Este texto se recibió, para ser publicado, en abril de 1997

un camino particular, permite deducir el comportamiento del circuito analógico. En la mayoría de las ocasiones se puede decir que un circuito analógico sólo posee una entrada y una salida. En un circuito digital, por lo general, es necesario estudiar el estado de varios puntos a la vez. Los osciloscopios tienen la capacidad de mostrar la curva de amplitud señal versus tiempo. Los analizadores que muestran en pantalla un diagrama de tiempos, muestran una pseudo forma de onda reconstruida a partir de una serie de muestras. Los analizadores sólo determinan si la señal está por arriba o por debajo de un nivel umbral.

2. CONCEPTOS SOBRE ANALIZADORES LÓGICOS

2.1. adquisición de datos

El analizador lógico utiliza dos maneras distintas para capturar y almacenar los datos en memoria. La primera forma es la *Adquisición Síncrona*, en la cual un reloj determina el momento en que se captura un nivel alto o bajo y se almacena en la memoria. El reloj utilizado forma parte del sistema que se desea probar e indica al sistema cuando los datos son válidos.

La segunda forma de adquisición de datos es la *Adquisición Asíncrona* y se utiliza cuando el sistema que se desea probar es totalmente asíncrono. El analizador posee un reloj interno que indica cuando se deben adquirir los datos. El intervalo de tiempo entre cada adquisición de datos es un parámetro que puede ser seleccionado por el usuario.

El analizador lógico puede operar síncrono o asíncronamente, dependiendo de la fuente de la señal de validación que llegue a los circuitos de registro de datos, como se observa en la figura 1. En el modo síncrono, la señal de validación se extrae de un reloj de datos externo. Por tal razón, el modo síncrono se

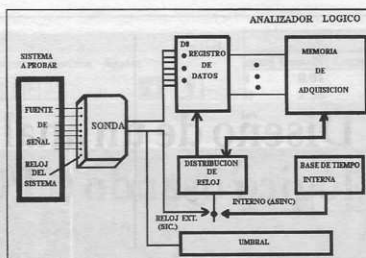


Figura 1. Modo de operación síncrono o asíncrono del analizador lógico

emplea para medir los datos relacionados con la señal de reloj del sistema a probar y el modo asíncrono se emplea para temporizar las medidas, empleando la base de tiempos del analizador lógico como referencia de medida.

En el modo síncrono, la máxima velocidad a la que los datos pueden capturarse en la misma memoria se le denomina *máxima velocidad de adquisición del analizador*. Si se desea que las medidas sean bastante precisas, la máxima velocidad del reloj del sistema que se desea probar debe ser inferior a la máxima velocidad de adquisición de datos.

2.3. Cualificador de reloj

El cualificador de reloj permite habilitar selectivamente pulsos de reloj sobre los instantes de muestra buscados para que datos irrelevantes no sean almacenados en la memoria del analizador y sobre la pantalla. El usuario de un analizador lógico puede estar interesado, por ejemplo, solamente en los datos presentes en un bus de un sistema durante el ciclo de lectura, pero no en los datos presentes en el ciclo de escritura, o viceversa. figura 2.

La figura 3 presenta instantes de muestreo del analizador, derivados del mismo reloj externo. El reloj es ahora cualificado por una señal

separada. En este diagrama el reloj es habilitado cuando la señal de cualificación está en alto. El mismo dato es entonces muestreado una vez por el analizador (se asume aquí que el flanco de bajada se selecciona para el muestreo de datos).

figura 3. Cuando se miden sistemas síncronos más complejos, como por ejemplo microprocesadores, se requiere más de un reloj para que el analizador pueda capturar todos los estados de información relevante.

2.4. captura de glitches

El *Circuito de captura de Glitches*, es un circuito que captura aquellos impulsos que un analizador lógico no puede capturar por sí mismo. Los glitches (o pulsos espúreos) son impulsos que aparecen en forma aleatoria en las señales y pueden causar muchos problemas en los equipos digitales al ser confundidos por los mismos como una transición de nivel. El hecho de que aparezcan al azar hace muy difícil su captura y para tal efecto los analizadores

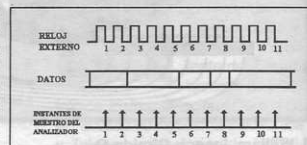


Figura 2. Estados de reloj no cualificados

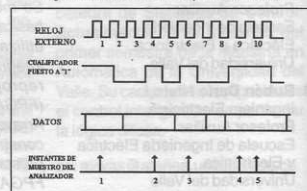


Figura 3. Estados de reloj cualificados

poseen circuitos especiales para detectarlos.

La figura 4 representa, en forma sencilla, el funcionamiento del detector de glitches. Aquí, los pulsos positivos y negativos de la señal no coinciden con el flanco del reloj, de manera que el pulso en principio no va a ser capturado en la memoria del analizador lógico.

Este circuito no va a dar información del tipo de glitch, de la forma de onda ni del instante en que ocurrió dentro del periodo de muestreo. Se limita a señalar únicamente que ocurrió un glitch.

Si el glitch está próximo a otros datos, puede suceder que éste no sea detectado por el analizador. Para detectarlo existe otro procedimiento en el cual el detector busca más de una transición, durante el intervalo de reloj. El evento de existencia o no de glitches se almacena en una memoria de glitches y si es necesario se muestra por pantalla, figura 4.

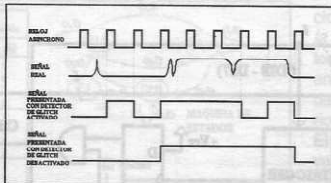


Figura 4. Captura de glitches

2.5. Sistema de disparo

Un aspecto esencial en los analizadores lógicos es el instante de disparo de la toma de datos. El punto en el cual el analizador empieza la adquisición de datos se denomina *Punto de Traza*. Estos dos conceptos están relacionados en la siguiente forma:

$$t_{\text{Disparo}} = t_{\text{Punto de Traza}} + t_{\text{duración de la toma de datos}} \text{ donde } t: \text{ tiempo}$$

Los analizadores lógicos pueden detener el proceso de adquisición de datos, antes, después y en el instante justo de disparo.

2.6. Identificación de palabra.

Un disparo se realiza con el flanco de subida o con el flanco de

bajada de una señal de entrada, como es el caso de los osciloscopios. Sin embargo, un disparo más útil es aquel que se produce cuando ocurre una combinación de eventos. Por ejemplo, una determinada combinación de niveles altos y bajos de todas las líneas del bus de direcciones de un sistema basado en microprocesador.

Un identificador de palabra es un circuito que genera un disparo cuando la combinación de niveles altos y bajos, de las señales aplicadas a su entrada, coinciden con una configuración preestablecida. La figura 7 muestra el diagrama lógico de un identificador de palabra.

2.6.1. Identificación asincrónica.

Este tipo de identificación de palabra no requiere de ningún reloj. Se utiliza en aplicaciones en las cuales se necesita que el disparo no esté sincronizado con el reloj del sistema.

2.6.2. Identificación síncrona

El procedimiento de identificación síncrona de palabra se utiliza cuando la combinación apropiada de niveles altos y bajos de la entrada a un identificador de palabra (un bus de direcciones por ejemplo) se produce entre los flancos del reloj. Es posible lograr que el reloj del sistema que se desea probar ignore cualquier actividad que se produzca entre los flancos del reloj. Esto se consigue añadiendo una etapa a la puerta AND como se observa en la figura 8.

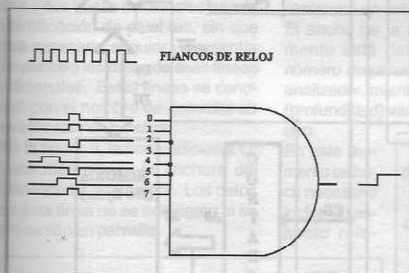


Figura 5. Identificador de palabra

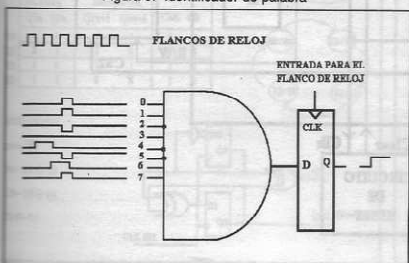


Figura 6. Identificador síncrono de palabra

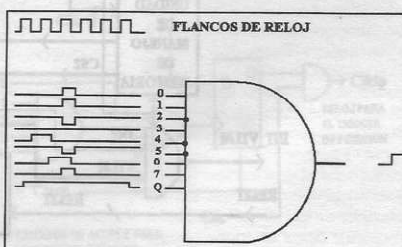


Figura 7. Identificador de palabra con entrada adicional para cualificador

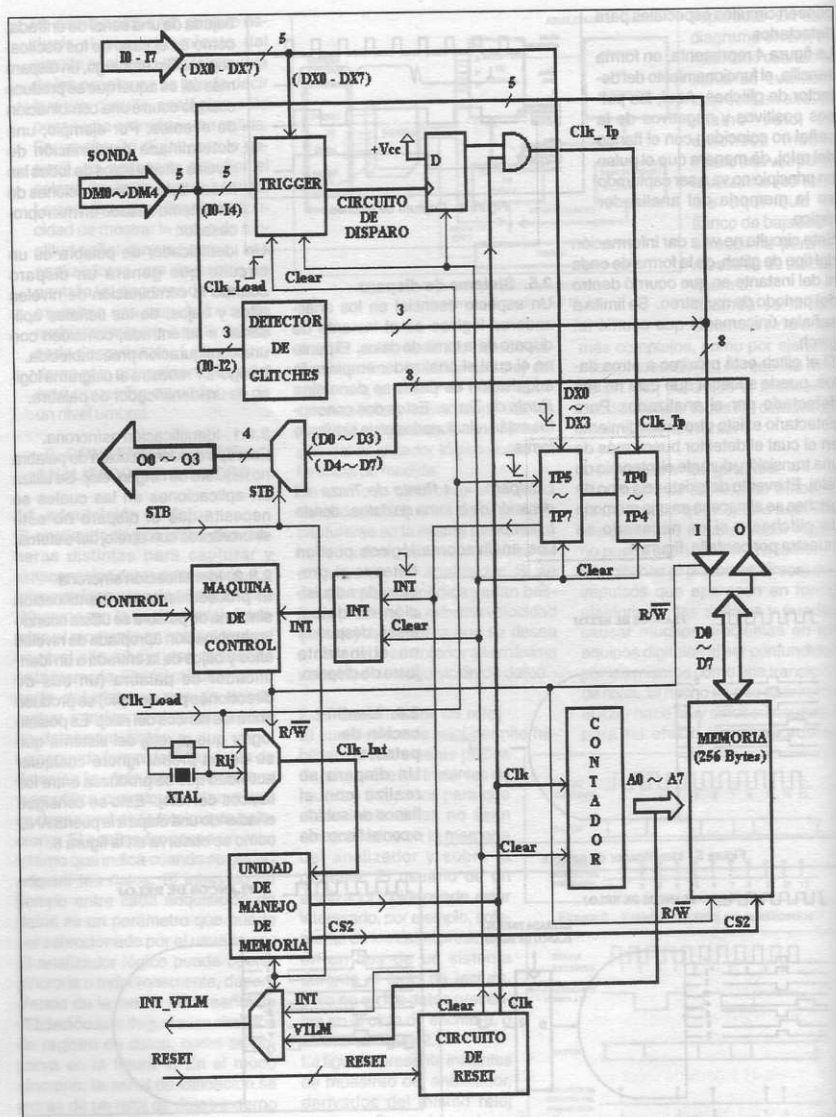


Figura 8. Diagrama de bloques del analizador lógico basado en la FPGA XC2064 de XILINX.

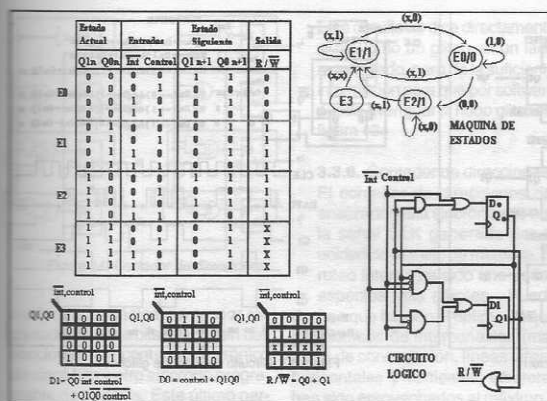


Figura 9: Máquina de control del analizador lógico

2.7. Cualificador de palabra

Es común que la identificación de palabras y la adquisición de datos se efectúe sobre las mismas líneas del sistema que se quiere probar. En algunas aplicaciones se precisa una o dos líneas adicionales para la identificación de palabras, sin que sea necesario adquirir y presentar en pantalla los datos de esas líneas adicionales. Estas líneas se conocen con el nombre de *entradas de cualificador de palabra*.

En la figura 9, la línea adicional Q, hace más amplia la anchura del identificador de palabra. Los datos de esta línea no se adquieren ni se presentan en pantalla.

2.8. Circuitos de memoria

Los datos adquiridos en los circuitos de entrada son almacenados en una memoria. Para cada transición de reloj, el nivel del canal de entrada se muestrea y su estado lógico se almacena en ésta.

El ancho de la memoria generalmente está determinada por el número de canales de entrada del analizador, mientras que el tamaño (profundidad) varía de un modelo a otro.

En este momento se hace necesario incluir un aspecto rela-

cionado con la memoria:

la frecuencia de muestreo. En la toma de datos asincrónica, los puntos en los que se realiza el muestreo de datos son determinados por el usuario en un reloj interno.

El número de canales disponibles va ligado a la frecuencia de muestreo y a la profundidad de la memoria por canal.

2.9. Tipos de analizadores lógicos

La mayoría de analizadores lógicos modernos combinan dos instrumentos en un único equipo. Estos trabajan en dos modos diferentes: *Analizadores de Tiempos y/o Analizadores de Estados*.

2.9.1. Analizador de tiempos

El analizador de tiempos es el sistema más parecido al osciloscopio. Este tipo de analizador muestra la información obtenida de la misma forma que lo hace un osciloscopio, en el eje horizontal se representa el tiempo y en el eje vertical se sitúa la amplitud de la señal.

El analizador de tiempos realiza muestreos de las formas de onda de la señal de entrada en intervalos fijos y determina si ésta se halla a

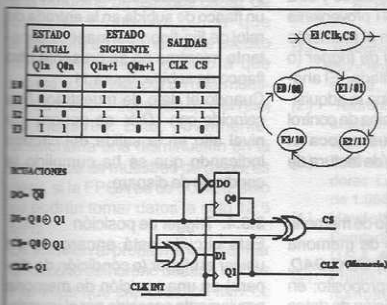


Figura 10: Unidad de manejo de memoria

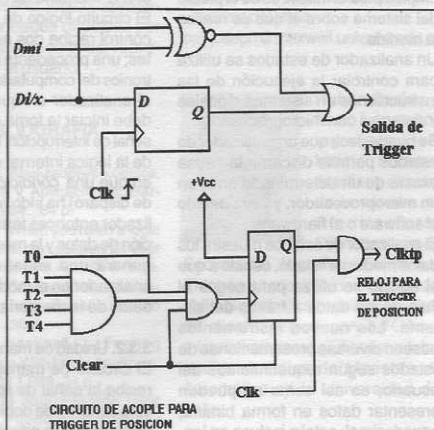


Figura 11: Circuito de trigger

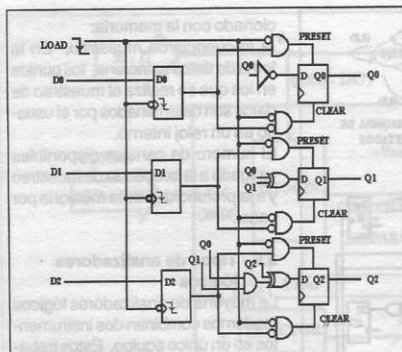


Figura 12: Circuito de trigger de posición

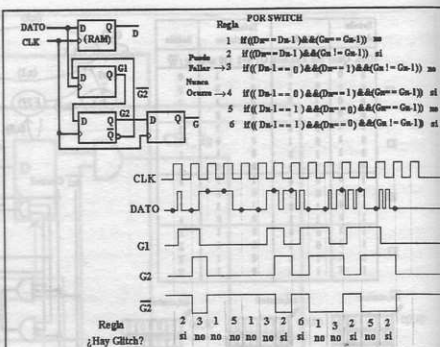


Figura 13: Circuito detector de glitches

un nivel alto o bajo, respecto a un umbral de voltaje. Si la señal muestreada está por encima del valor determinado como umbral, el instrumento lo representa como un "1" (nivel alto); en caso contrario, la pantalla presentará un "0" (nivel bajo).

2.9.2. Analizador de estados

A diferencia con el analizador de tiempos, el analizador de estados realiza las medidas con un reloj sincronizado con el reloj del circuito a estudiar, ya que el reloj que se emplea para el muestreo es el propio del sistema sobre el que se realiza la medida.

Un analizador de estados se utiliza para controlar la ejecución de las instrucciones en sistemas digitales y sistemas con microprocesador. Se puede decir que un analizador de estados permite discernir la causa exacta de un determinado error en un microprocesador, ya sea debido al software o al hardware.

El analizador de estados muestra los datos mediante listado, debido a que el equipo se utiliza para seguir el flujo de los datos a través del sistema. Los nuevos instrumentos poseen diversas presentaciones de listados según requerimientos del usuario; es así como se pueden presentar datos en forma binaria, hexadecimal, octal e incluso en lenguaje ensamblador.

3. DISEÑO Y CONSTRUCCIÓN DE UN ANALIZADOR LÓGICO UTILIZANDO FPGA'S

3.3. Diseño del analizador lógico

La implementación del analizador lógico está asistida por un programa en lenguaje C++ para Windows. Este programa interactúa con el analizador de tal manera que puede hacer una edición gráfica en función del tiempo de los datos adquiridos por éste, figura 8.

3.3.1. Máquina de control

El circuito lógico de la máquina de control recibe dos señales diferentes; una procedente del puerto centronics del computador, la cual indica al analizador en que momento se debe iniciar la toma de datos y otra señal de interrupción INT proveniente de la lógica interna, en el momento en que una *condición de trigger* (o de disparo) ha sido hallada. El analizador entonces termina la adquisición de datos y la máquina de control genera una señal que coloca el analizador en el modo de lectura de datos de la memoria.

3.3.2. Unidad de manejo de memoria

El circuito de manejo de memoria recibe la señal de reloj *CLKLOAD*, esta señal es de doble propósito: en el momento de adquisición de datos funciona como reloj externo al anali-

zador y en el momento de la programación del analizador sirve para habilitar los datos de trigger.

La unidad de manejo de memoria genera la señal de selección de chip de memoria, *CS*, también genera la señal de reloj interno *CLK* con la cual se sincronizan parte de los elementos de memoria del analizador lógico, figura 9.

3.3.3. Circuito de trigger

El circuito de trigger o de disparo recibe los datos de muestreo provenientes de las señales por intermedio de la sonda.

El circuito de trigger está diseñado de tal manera que el dato que está como patrón de comparación, *Di/x*, es almacenado cuando se presenta un flanco de subida en la entrada de reloj de flip-flop y permanece constante mientras no se presente otro flanco de subida, figura 11.

Cuando el dato de muestreo, *Dmi* coincide con *Di/x* se genera un nivel alto en la salida del circuito indicando que se ha cumplido la condición de disparo.

3.3.4. Trigger de posición

Este circuito está encargado de ubicar el trigger (o condición de disparo) en una posición de memoria previamente escogida por el usuario. El circuito de trigger de posición está

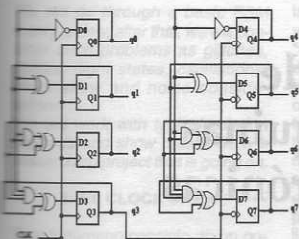


Figura 14: Contador de direcciones

conformado básicamente por un contador de ocho bits dividido en dos secciones: Un contador síncrono de cinco bits y otro síncrono programable de tres bits. Este último permite tener nueve posiciones distintas de disparo (inicio, inicio+12.5%, inicio+25%, inicio+37.5%, centro, fin-37.5%, fin-25%, fin-12.5%, fin). Cuando el circuito detector de disparo encuentra un dato válido de disparo, habilita el reloj interno para indicar la cuenta en el contador de trigger de posición. Este cuenta en bloques de 32 (2 exponente 5) muestras hasta ubicar la posición de parada y luego genera la señal de interrupción que se encarga de bloquear el muestreo de datos e informa al programa del analizador que se encontró una condición de disparo, figura 12.

3.3.5. Detector de glitches

Para el analizador lógico se concibió una máquina de estados capaz de detectar cualquier glitch que apareciera en la señal. Este circuito no se implementó debido a que estaba gobernado por un reloj maestro de mayor frecuencia que el reloj de muestreo. Esto, obviamente, ocasionaría una disminución en la frecuencia de muestreo de datos, es decir, si la FPGA es de 50 MHz sólo se podrán tomar datos a sólo 12.5 MHz.

La solución al problema fue diseñar un circuito asíncrono basado en dos Flip-flops que capturan los flancos de subida de los datos y del reloj, independientemente.

Este circuito no dice directamente si hay o no un glitch en un lado muestreado, pero da la suficiente información para que por software pueda averiguar si hubo glitches, figura 13.

3.3.6. Contador de direcciones

El contador de direcciones del analizador está sincronizado con la señal CLK generada por la unidad de manejo de memoria. El ruteo interno ha sido uno de los aspectos más difíciles. Puede decirse que ha sido el óptimo ya que los recursos de interconexión (matrices de conmutación, líneas largas horizontales y verticales, etcétera) han sido aprovechados al máximo.

4. CONCLUSIONES

Un analizador lógico es un instrumento que captura y representa grupos de señales digitales, sin importar el valor exacto de su amplitud. Puede ser utilizado para la detección de errores hardware y software, en cualquier sistema digital. El sistema que se diseñó, basado en FPGA, es un analizador de prestaciones medias, lo fundamental ha sido mostrar una metodología de diseño lógico aprovechando las bondades ofrecidas por los modernos dispositivos reprogramables por el usuario.

5. BIBLIOGRAFÍA

- [1.] Tektronix. Analizadores Lógicos, Conceptos y Aplicaciones. Barcelona, 1.984. 84 p.
- [2.] Tektronix. When you need a logic analyzer that can support all your applications, U.S.A., 1.984. 14 p.
- [3.] Tektronix. Seminario de Analizadores Lógicos. España, Marzo de 1.986. 30 p.
- [4.] Hewlett packard. Feeling Comfortable With Logic Analyzers. U.S.A. April 1.988. 34 p.
- [5.] Philips. PM 3580/PM3585 User manual. Publication Number 4022104 90171.Netherlands/90
- [6.] SALGADO. J.J., Analizadores

Lógicos, Panorámica del Hardware. Mundo Electrónico. Abril, 1.993. p.p. 55-64.

- [7.] ROVIRA. M., Analizadores Lógicos, Evolución y Oferta. Mundo Electrónico. Octubre, 1.990. p.p. 95-104.
- [8.] GARCÍA. B. A., Generador de funciones usando los nuevos dispositivos lógicos programables. Energía y Computación, segundo semestre. 1.993. p.p. 42-48

AUTORES

William Joseph Giraldo Orozco, Ingeniero Electricista. Profesor Auxiliar de la Escuela de Ingeniería Eléctrica y Electrónica de la Universidad del Valle. Se encuentra vinculado a la Cátedra de Instrumentación y Percepción Inteligente. Su trabajo se centra en el área de Informática y el Control Numérico. Además forma parte del Grupo de Investigación Sistemas de Información Industrial (S.I.I.).



En la actualidad, realiza estudios de Maestría en Automática en la Universidad del Valle.
ce: joseph@maxwell.univalle.edu.co



Rubén Darío Nieto Londoño, Ingeniero Electricista. Profesor Auxiliar y director de la cátedra de Arquitecturas Digitales de la

Escuela de Ingeniería Eléctrica y Electrónica de la Universidad del Valle. Su trabajo se centra en el área de diseño lógico con FPGAs y microcontroladores. En la actualidad realiza estudios de Maestría en Automática en la Universidad del Valle.

ce: rubeniet @ mafalda.univalle.edu.co