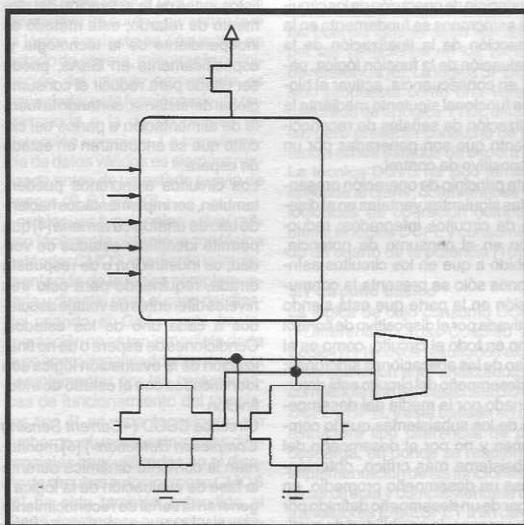


Lógica diferencial de bajo consumo

Circuitos Digitales Asíncronos en AsGa



□ **Alvaro Bernal Noreña, M. Sc.**
Ingeniero Electricista
Doctorando Instituto Nacional
Politécnico de Grenoble, Labo-
ratorio TIMA - Grenoble, Francia
Profesor Titular - Universidad del
Valle

□ **Renato Pérez-Ribas, M. Sc**
Ingeniero Electricista

* Este texto se recibió, para ser publicado,
en junio de 1997.

Doctorando Instituto Nacional
Politécnico de Grenoble, Labo-
ratorio TIMA - Grenoble, Francia

□ **Alain Guyot, Ph. D.**
Maître de Conférences
Escuela Nacional Superior de In-
formática y Matemáticas Apli-
cadas
Director de investigación Labo-
ratorio TIMA - INPG
Grenoble - Francia

RESUMEN

En este trabajo se describen las características de una nueva estructura lógica, implementada en MES-FET de arseniuro de galio, denominada DC²FL. Se presenta un análisis comparativo con la lógica DCVS (*Direct Coupled Voltage Switch*) a partir de resultados experimentales. Las dos estructuras son de tipo diferencial, apropiadas para el diseño de circuitos asíncronos. Dos sumadores (*«Ripple Carry Adder»*) de ocho bits, han sido diseñados usando las dos estructuras diferenciales mencionadas. Los dos sumadores fueron fabricados usando la tecnología de 0.6 mm de Vitesse en arseniuro de galio (GaAs), H-GaAs III. Las evaluaciones son realizadas en términos de la funcionalidad y disipación de potencia.

ABSTRACT

This paper discusses the characteristics of DC²FL and presents a comparison with DCVS, taken into account experimental results. Two 8-bit Ripple Carry Adders were implemented by using the mentioned structures. These adders were fabricated using 0.6 mm GaAs Vitesse technology (H-GaAs III). The evaluation is provided according to the functionality and power dissipation.

PALABRAS CLAVES

Circuitos asincrónicos, bajo consumo, lógica diferencial, arseniuro de galio.

1. INTRODUCCIÓN

El arseniuro de galio (AsGa) ha sido, durante mucho tiempo, considerada como la tecnología del futuro estado del arte en la fabricación de circuitos integrados de alta velocidad; sin embargo, su utilización en el diseño de circuitos integrados síncronos presenta algunos problemas inherentes como el consumo de potencia, la sincronización de la señal de reloj y problemas de disputa de señal. Estos problemas se hacen cada vez más críticos, a medida que la complejidad del diseño es mayor y la velocidad de operación requerida es más alta.

De otro lado, la utilización de circuitos integrados en GaAs, para aplicaciones que demandan alta velocidad de operación, sigue creciendo y muchas investigaciones son orientadas a obtener nuevas técnicas de diseño en esta tecnología.

Debido a que, en general, los circuitos asincrónicos no requieren de un reloj central para controlar el cambio de estados, evitándose de esta forma los problemas de «clock skew», la utilización del arseniuro de galio, en la implementación de circuitos integrados asincrónicos, se presenta como una alternativa viable que aprovecha las ventajas de la tecnología sin tener que enfrentar los problemas que se presentan en el diseño de los circuitos síncronos [1].

Un circuito asíncrono ejecuta una función lógica en un tiempo que depende únicamente de la complejidad de la función y de las variables lógicas que intervienen en la operación, de tal forma que el mismo circuito puede presentar diferentes retardos para diferentes operaciones, siendo ésta la principal característica a ser explotada por el control del circuito.

En este trabajo se presenta un resumen de las diferentes técnicas aplicadas a la implementación de los circuitos asincrónicos y se analiza, a partir de resultados experimentales, una nueva estructura que, al ser utilizada en el diseño de circuitos «self-timed», logra una importante reducción en el consumo de potencia. Son presentados resultados experimentales y de simulación de dos tipos de estructuras diferenciales.

2. DISEÑO ASÍNCRONO

El principio de operación de los circuitos asincrónicos se fundamenta en la detección de la finalización de la evaluación de la función lógica, para, en consecuencia, activar el bloque funcional siguiente mediante la utilización de señales de reconocimiento que son generadas por un dispositivo de control.

Este principio de operación presenta las siguientes ventajas en el diseño de circuitos integrados: reducción en el consumo de potencia, debido a que en los circuitos asincrónicos sólo se presenta la conmutación en la parte que está siendo activada por el dispositivo de control y no en todo el circuito, como es el caso de las aplicaciones síncronas; el desempeño del circuito está determinado por la media del desempeño de los subsistemas que lo componen y no por el desempeño del subsistema más crítico, obteniéndose un desempeño promedio, en lugar de un desempeño definido por el peor caso; la posibilidad de sustituir dentro de un sistema asíncrono parte de sus subsistemas, permite mejorar el desempeño global del circuito ya que esta sustitución no alteraría el comportamiento de otros circuitos o estructuras; la adaptación automática a variaciones en las propiedades físicas permite a los circuitos asincrónicos operar eficientemente en diferentes ambientes [2]. Diversas técnicas han sido propuestas para generar las señales de reconocimiento, algunas de ellas con características que permiten su im-

plementación en GaAs. Las técnicas «single rail» y «dual rail» pueden ser consideradas como las dos grandes estrategias donde se encuentran incluidas las diferentes propuestas.

2.1 Técnicas «single rail»

La técnica «Micropipeline» [3] implementa elementos de retardo que representan el peor caso en la propagación de la señal y con base en ellos genera la señal de reconocimiento, para esto debe garantizarse que los resultados lógicos estén listos antes de la activación del elemento de retardo; este método es independiente de la tecnología y, específicamente en GaAs, puede ser usado para reducir el consumo global del sistema, cortando la fuente de alimentación a partes del circuito que se encuentren en estado de espera.

Los circuitos asincrónicos pueden, también, ser implementados haciendo uso de una *lógica ternaria* [4] que permite identificar estados de verdad, de indefinición o de respuesta errada, requiriendo para esto tres niveles diferentes de voltaje asociados a cada uno de los estados. Condiciones de espera o de no finalización de la evaluación lógica son identificados con el estado de indefinición.

Circuitos CSCD («Current Sensing Completion Detection») [5] monitorean la corriente dinámica durante la fase de evaluación de la lógica y generan la señal de reconocimiento sólo cuando la operación es finalizada, o sea, cuando detectan la inexistencia de corriente; esta técnica no es aplicada en el diseño de circuitos en GaAs dada la existencia de las corrientes estáticas.

2.2 Técnicas «dual rail»

En esta técnica cada bloque funcional implementa tanto la función lógica directa como su complementaria, generando dos salidas a las cuales se les asocian valores ternarios. La codificación de los valores ternarios de las salidas constituyen

un medio para realizar la detección del fin de operación, («*completion detection*»). Así, si (S_i, S_j) son las dos salidas del bloque funcional, tenemos:

- Precarga/Nop. - $(S_i, S_j) = (0, 0)$;
- Dato válido '1' - $(S_i, S_j) = (1, 0)$;
- Dato válido '0' - $(S_i, S_j) = (0, 1)$;
- Condición no válida $(S_i, S_j) = (1, 1)$.

La recepción de nuevos datos, considerados válidos en el bloque funcional siguiente, se realiza mediante la evaluación de las dos señales de salida del bloque precedente; el dispositivo de control garantiza que la lógica siguiente se encuentre en estado de espera, mientras la culminación del cálculo precedente es anunciada; este funcionamiento corresponde a la de un circuito de detección completa. La transferencia de datos válidos es siempre realizada antes de un estado previo de espera $(S_i, S_j) = (0, 0)$.

Los bloques funcionales «*dual rail*» son fácilmente obtenidos con lógica estándar CMOS, mediante la implementación de la lógica complementaria y directa; para el caso del diseño usando el GaAs, esta implementación no es tan inmediata dada la no operatividad de la estructura complementar por las características de funcionamiento del transistor tipo P en esta tecnología; sin embargo, el uso de estructuras diferenciales muy utilizadas en el diseño de circuitos autosíncronos CMOS [6] ha sido también extendido al GaAs, lográndose aumentar la velocidad de operación con un similar consumo de potencia.

3. NUEVA ESTRUCTURA DIFERENCIAL

En general, una estructura diferencial opera en dos fases, una fase de predefinición de los nodos de salida (carga o descarga) y una fase de evaluación de la lógica, para esto utiliza un circuito de evaluación y un estado de salida (restaurador y/o de memoria).

Diferentes técnicas de implemen-

tación, usando estructuras diferenciales, han sido reportadas. DPTL es una técnica que permite obtener altas velocidades de operación y baja disipación de potencia usando redes lógicas implementadas con transistores de paso [7]. Esta técnica, sin embargo, requiere de restauradores de señal ubicados a intervalos regulares, a fin de reducir el retardo ocasionado por el número de transistores conectados en serie.

Una configuración alternativa, TTDL, requiere de varias fuentes de alimentación, dándose el caso que las puertas lógicas sean afectadas por las variaciones en los voltajes de referencia [8]. La lógica SPDL ha sido propuesta como una versión mejorada de la lógica TTDL dinámica, pero presenta consumo de potencia en los estados de espera [9]. La técnica DCVS ha sido también aplicada al GaAs, obteniéndose velocidades de operación comparables a la lógica DCFL y consumiendo un cuarto de la potencia [10].

3.1 Circuito básico

La lógica de bajo consumo DC²FL («*Differential Cross-Coupled FET Logic*») [11] cuyos resultados experimentales son aquí analizados, es compatible con las existentes DCVS, DCFL y DPTL y está basada en una estructura tipo diferencial de pre-descarga, en donde se requiere la implementación de las funciones lógicas directa y complementaria con transistores E-MESFET a fin de generar las salidas requeridas para su utilización en circuitos autosíncronos, como muestra en la figura 1.

Cada rama lógica es conectada a dos transistores M4 y M5, realimentados positivamente y usados para regenerar los niveles lógicos de salida que pueden ser degradados por causa de las corrientes de «*leakage*» de los transistores E-MESFET durante la fase de evaluación (*fi-low*, *fin-high*). Los transistores M2 y M3 permiten realizar la descarga de los nodos internos *a* y *b* cuando la señal *fi* es activa; debido a que en esta

fase el transistor M1 opera en corte, no existe flujo de corriente en el árbol lógico evitándose el consumo de potencia durante esta operación. El estado de salida (figura 2) fue concebido considerando como figura de mérito importante el bajo consumo de potencia durante los estados de espera; ofrece buenas capacidades de conectividad y mantiene los niveles de salida en nivel bajo durante la fase de pre-descarga, es compuesto por el circuito de detección y un «*buffer*» de salida.

El circuito de detección consiste de una estructura NOR, cuya salida es precargada durante la fase de descarga a través del transistor M6; en la fase de evaluación, la combinación M7-D1 (transistor de depleción y diodo) actúa como una pequeña fuente de corriente capaz de compensar los efectos de la corriente subumbral («*subthreshold*») de los transistores M8 y M9 en el caso que se dé inicio a la fase de evaluación y las entradas no estén aún disponibles. En el momento de la activación de las señales de entrada, uno de los nodos *a* o *b* será cargado estableciendo un nivel lógico alto en nodo *c* y activando el «*buffer*».

El «*buffer*» de salida es un restaurador similar al utilizado en DPTL pero operado considerando el concepto PRL [11], conserva valores de márgenes similares al DPTL y el consumo durante la fase de descarga es prácticamente nulo.

En la configuración del circuito de detección, la inclusión o no del transistor M10 puede ser evaluada dependiendo de los requerimientos específicos de diseño; la inclusión o no del transistor sería un compromiso entre el consumo de potencia y el tiempo de respuesta del circuito. En el caso de optar por la inclusión del transistor M10, esto implicaría tener niveles de voltaje para la señal *fin* arriba de 1V. En el caso contrario, esta señal podría ser limitada a 0,7 V, de igual forma que las entradas de la lógica.

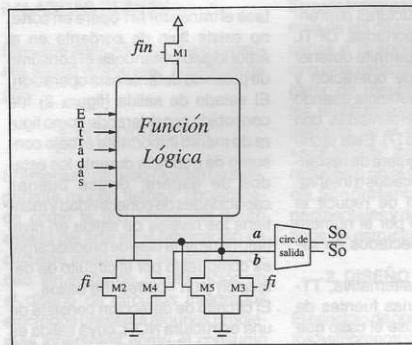


Figura 1. Diagrama esquemático de DC²FL.

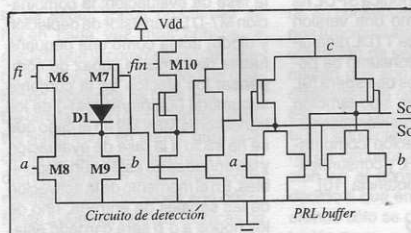


Figura 2. Estado de salida.

4. ANÁLISIS COMPARATIVO

Un estudio comparativo del desempeño de la estructura DC²FL respecto a las existentes DCFL, DCVS y DPTL, ha sido realizado mediante simulaciones hechas con el HSPICE, usando los parámetros típicos de fabricación de Vitesse H-GaAs III y una fuente de alimentación de 2V. En la tabla I se encuentran los resultados de simulación de un sumador completo implementado con los cuatro tipos diferentes de familias lógicas.

Tabla I - Resultados de simulación.
Familias lógicas: sumador completo.

	td (ps) fi-out/in-out	Pot (mW) prec./eval.	Pot x td (fJ)	# trans.
DCFL	— / 137,5	3,76	517,0	42
DPTL	43,5 / —	1,16 / 1,02	47,4	36
DCVS	198,6 / 214,1	1,15 / 1,02	223,9	56
DC²FL	362,3 / 273,6	0,06 / 0,93	157,4	60

Debido a que para aplicaciones muy específicas, como es el caso de circuitos asíncronos con realimentación («self-timed rings»), configuración muy utilizada en estructuras que implementan operaciones iterativas, se hace necesario la utilización de «latches» o elementos con capacidad de memorización, un análisis fue también realizado considerando estas condiciones.

Para el caso específico de DC²FL la capacidad de memorización puede ser lograda sustituyendo el estado de salida por un «latch» DCFL SR NOR; esta simple sustitución no sería válida para las estructuras DCVS o DPTL, siendo necesario la adición de circuitería que implemente la memorización. Para este tipo de aplicación, la lógica DC²FL ha presentado un muy buen desempeño como puede observarse de los datos presentados en la tabla II, que corresponden a la implementación de un sumador completo de 8 bits.

De las tablas I y II se observa que DPTL es la estructura con mejores características funcionales, pero esta lógica no puede ser usada en la implementación de circuitos insensibles al retardo, debido a la necesidad de que sus entradas estén listas en el momento de iniciar la fase de evaluación. De otra parte se observa que el mejor producto potencia-retardo es presentado por DC²FL en los dos casos.

Tabla II - Resultados de simulación.

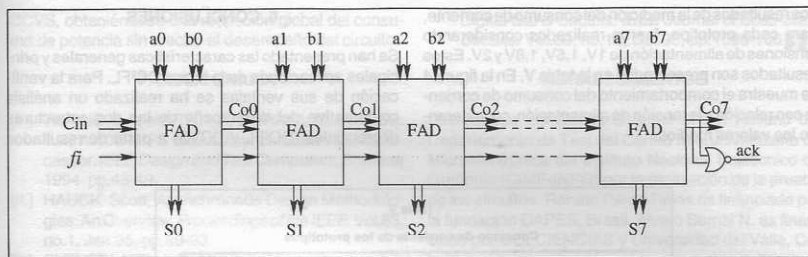
Estructuras diferenciales usando «latches»

	td (ps) fi-out/in-out	Pot (mW) prec./eval.	Pot x td (fJ)	# trans.
DPTL	181,6 / —	1,96 / 1,83	344,1	50
DCVS	317,3 / 344,0	2,16 / 2,13	709,2	70
DC²FL	622,1 / 584,3	1,01 / 1,02	363,5	42

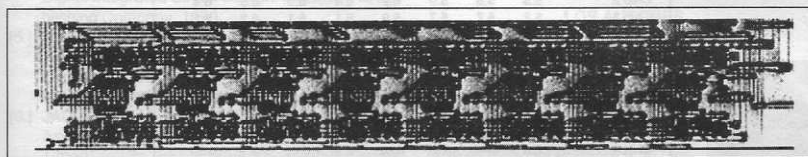
5. SUMADOR COMPLETO DE 8 BITS

Un chip de prueba con un sumador de 8 bits (*Ripple Carry Adder*) implementado, usando las dos estructuras diferenciales DCVS y DC²FL, fue fabricado a través de los servicios del CMP-TIMA, usando la tecnología de Vitesse 0.6 mm. En la figura 3-(a) se presenta el diagrama esquemático y en la figura 3-(b) se observa la microfotografía del sumador DC²FL.

En la tabla III se muestran los resultados de simulación del sumador de ocho bits: son presentados los tiempos de retardo y valores de consumo de corriente durante las fases de predescarga y evaluación de los dos sumadores, como también el consumo de potencia, el producto potencia-retardo y el número de transistores requerido.



(a)



(b)

Figura 3. (a) Diagrama esquemático.
(b) Microfotografía del sumador DCFL.

Tabla III
Sumadores de 8-bits

Estruct. Diferen.	td (ns)	I (mA) prec./eval	Pot (mW)	Pot x td (pJ)	# trans.
DCVS	0,903	5,03/4,78	8,93	8,06	448
DCFL	1,741	0,65/4,05	4,70	8,18	480

5.1 Resultados experimentales

Se probaron cinco prototipos del circuito, habiéndose verificado completamente su comportamiento funcional. La prueba funcional exhaustiva de los sumadores fue realizada con el conjunto de vectores que se presentan en la tabla IV, este conjunto de vectores verifica la funcionalidad total del circuito ya que contiene todas las posibles combinaciones requeridas para la realización de la prueba exhaustiva.

Tabla IV
Conjunto de vectores de prueba

Hexad.		Notación binaria								
A	B	A7-B7	A6-B6	A5-B5	A4-B4	A3-B3	A2-B2	A1-B1	A0-B0	Cin
00	00	0-0	0-0	0-0	0-0	0-0	0-0	0-0	0-0	0
aa	aa	0-0	1-1	0-0	1-1	0-0	1-1	0-0	1-1	0
55	55	1-1	0-0	1-1	0-0	1-1	0-0	1-1	0-0	1
00	ff	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0
00	ff	0-1	0-1	0-1	0-1	0-1	0-1	0-1	0-1	1
ff	00	1-0	1-0	1-0	1-0	1-0	1-0	1-0	1-0	0
ff	00	1-0	1-0	1-0	1-0	1-0	1-0	1-0	1-0	1
ff	ff	1-1	1-1	1-1	1-1	1-1	1-1	1-1	1-1	1

Los resultados de la medición del consumo de corriente, para cada prototipo, fueron realizados considerando tensiones de alimentación de 1V, 1,5V, 1,8V y 2V. Estos resultados son presentados en la tabla V. En la figura 4 se muestra el comportamiento del consumo de corriente con relación a la tensión de alimentación, considerando los valores medios.

6. CONCLUSIONES

Se han presentado las características generales y principales aplicaciones de la lógica DC²FL. Para la verificación de sus ventajas se ha realizado un análisis comparativo del desempeño de las dos estructuras diferenciales (DC²FL y DCVS) a partir de resultados

Tabla V

Consumo de corriente de los prototipos

Est. / Chip	1.0 V		1.5 V		1.8 V		2.0 V	
DCVS(mA)	fi=1	fi=0	fi=1	fi=0	fi=1	fi=0	fi=1	fi=0
Chip 1	4.7	4.6	5.6	5.7	5.7	5.7	5.8	5.8
Chip 2	5.5	5.8	5.9	6.2	6.4	6.3	6.5	6.4
Chip 3	5.2	5.7	5.7	5.9	6.1	6.1	6.2	6.1
Chip 4	5.4	5.9	5.8	5.9	6.1	6.0	6.2	6.0
Chip 5	4.6	4.7	4.8	4.8	5.0	5.1	5.0	4.9
DC ² FL(mA)	fi=1	fi=0	fi=1	fi=0	fi=1	fi=0	fi=1	fi=0
Chip 1	1.8	0.36	2.6	0.58	2.6	0.56	2.6	0.60
Chip 2	1.9	0.47	2.9	0.58	2.9	0.60	3.0	0.60
Chip 3	2.0	0.51	2.8	0.62	3.0	0.60	3.1	0.63
Chip 4	2.6	0.48	2.8	0.62	2.9	0.62	3.1	0.59
Chip 5	1.7	0.46	2.4	0.55	2.6	0.56	2.6	0.50

La significativa reducción del consumo de potencia de la estructura DC²FL, durante el estado de espera para una tensión de operación de 2V, puede ser visto en la figura 5, donde se muestra la salida gráfica suministrada por el equipo de prueba utilizado. Las mediciones de retardos de propagación en las dos estructuras a las frecuencias apropiadas no pudieron ser realizadas con precisión, debido a limitaciones del equipo de prueba y a problemas de acople capacitivo originados por los «pads» de salida.

experimentales, usando como circuito de comparación un sumador «Ripple Carry Adder» de ocho bits. Los resultados de medición del consumo de potencia muestran que esta estructura presenta valores de consumo menores que para DCVS y, por tanto, mucho menores que para DCFL.

Adicionalmente, debido a su bajo consumo de potencia y la compatibilidad con DCVS, puede ser utilizada en el diseño de circuitos, tanto asíncronos como síncronos, mediante la sustitución de partes no críticas de circuitos

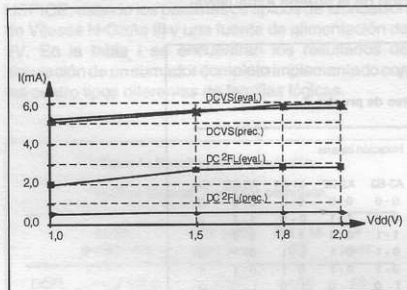


Figura 4. Resultados de consumo para diferentes voltajes de alimentación.

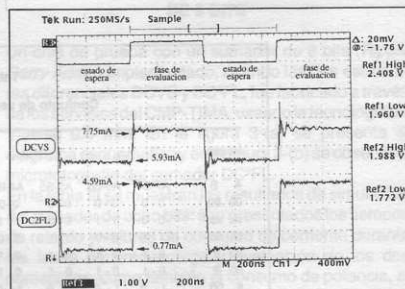


Figura 5. Formas de onda del consumo de corriente.

DCVS, obteniéndose una reducción global del consumo de potencia sin afectar el desempeño del circuito.

7. BIBLIOGRAFÍA

- [1.] TIerno, J.A., MARTIN, A., BORKOVIC, D., & LEE, T.K, A 100-MIPS GaAs Asynchronous Microprocessor. *IEEE Design and Test Computers*, Summer 1994, pp.43-49.
- [2.] HAUCK, Scott, Asynchronous Design Methodologies: An Overview. *Proceedings of the IEEE*, Vol.83, no.1, Jan.95, pp.69-93.
- [3.] SUTHERLAND, I. E, Micropipelines. *Communications of the ACM*, Vol.32, no.6, Jun.89, pp.720-38.
- [4.] LONG, S.I. & BUTNER, S.E, *Gallium Arsenide Digital Integrated Circuit Design*. McGraw-Hill Publishing Company, 1990.
- [5.] DEAN, M.E, DILL, D.L. & HOROWITZ, M, Self-Timed Logic Using Current Sensing Completion Detection (CSCD). *Journal of VLSI Signal Processing*, no.7, 1994, pp. 7-16.
- [6.] JACOBS, G.M. & BRODERSEN, R.W, A Fully Asynchronous Digital Signal Processor Using Self-Timed Circuits. *IEEE Journal of Solid-State Circuits*, Vol.25, no.6, Dec.90, pp.1526-37.
- [7.] PASTERNAK, J.H. & SALAMA, C.A.T, GaAs MES-FET Differential Pass-Transistor Logic. *IEEE Journal of Solid-State Circuits*, Vol.26, no.9, Sep.91, pp.1309-16.
- [8.] HOE, D.H.K. & SALAMA, C.A.T, GaAs Trickle Transistor Dynamic Logic. *IEEE Journal of Solid-State Circuits*, Vol.26, no.10, Oct.91, pp.1441-48.
- [9.] LAW, O.M.K. & SALAMA, C.A.T, GaAs Split Phase Dynamic Logic. *IEEE Journal of Solid-State Circuits*, Vol 29, no.5, May 94, pp.617-22.
- [10.] CHANDRAMOULI, V, MICHELL, N. & SMITH, K.F, A New Precharged, Low Power Logic Family for GaAs Circuits. *IEEE Journal of Solid-State Circuits*, Vol 30, no.2, Feb.95, pp.140-43.
- [11.] RIBAS, R.P, BERNAL, A. & GUYOT, A, A Low-Power Differential Cross-Coupled FET Logic for GaAs Asynchronous Design. *Proceedings, European Gallium Arsenide and related III-IV Compounds Application Symposium*, Paris, Jun.96, pp.2A5.
- [12.] CHANDNA, A, BROWN, R.B, PUTTI, D. & KIBLER, C.D, Power Rail Logic: A Low Power Logic Style for

Digital GaAs Circuits. *IEEE Journal of Solid-State Circuits*, Vol.30, no.10, Oct.95, pp.1096-100.

AGRADECIMIENTOS

Los autores agradecen al señor Robin Rolland del Departamento de Test del Centro Interuniversitario de Microelectrónica del Instituto Nacional Politécnico de Grenoble (CIME-INPG) por la realización de la prueba de los circuitos. Renato Pérez-Ribas es financiado por la fundación CAPES, Brasil. Alvaro Bernal N. es financiado por COLCIENCIAS y Universidad del Valle, Colombia. La investigación se enmarca en el Proyecto GARDEN (Gallium Arsenide Reliable Design Environment) ESPRIT (CT93-0385).

LOS AUTORES

Alvaro Bernal Noreña.

Ingeniero Electricista, Universidad del Valle, Magister de la Universidad de São Paulo, Brasil. Profesor Titular, Universidad del Valle. Doctorando del Instituto Nacional Politécnico de Grenoble, Laboratorio TIMA, Grenoble, Francia, 46, Avenue Felix Viallet 38031, Grenoble, Francia.



Renato Pérez-Ribas.

Ingeniero Electricista, Universidad Federal Río Grande del Sur, Porto Alegre, Brasil. M. Sc. Universidad de Campinas, Brasil. Doctorando del Instituto Nacional Politécnico de Grenoble, Laboratorio TIMA, Grenoble, Francia.



Alain Guyot. Ph. D.

Master in Computer Science, Universidad de Grenoble. Ph. D. in Computer Science, Universidad de Grenoble. Maître de Conférences. Escuela Nacional Superior de Informática y Matemáticas Aplicadas. Doctor de Estado (Habilitación para dirigir investigación). Laboratorio TIMA-INPG, Grenoble, Francia.

