

Una revisión a la metodología I_{DDQ} de test y verificación de circuitos integrados digitales



RESUMEN

Este artículo presenta los fundamentos de la técnica de prueba para circuitos integrados digitales CMOS, conocida como el test I_{DDQ} . Esta técnica, aún en período de desarrollo, tiene buena aceptación entre los diseñadores de ICs, puesto que permite la detección de fallas debidas a defectos estructurales, siendo especialmente adecuada cuando es posible la construcción de sensores de corriente en el mismo IC.

ABSTRACT

This paper presents the fundamentals of the test technique for digital CMOS ICs known as I_{DDQ} test. This technique, yet in development periode, have a good acceptance between ICs designers because it performs detection of fails from structural defects, being specially adequate when current sensors can be built inside the chip.

□ Eduardo F. Caicedo, Ph.D.
Ingeniero Electricista
Profesor Titular
Universidad del Valle

□ Asfur Barandica L.
Ingeniero Electricista
Profesor Asistente
Universidad del Valle

1. INTRODUCCIÓN

Dentro de las estrategias de test y verificación de circuitos integrados, la metodología I_{DDQ} para circuitos VLSI CMOS estáticos, está incrementando su aceptación entre los diseñadores gracias a los excelentes resultados hasta ahora obtenidos, pese a los costos y la relativa complejidad en su implementación. Investigadores que desarrollan el test I_{DDQ} [1], aseguran que su utilización en el diseño de circuitos integrados con la tecnología CMOS, incrementará la calidad y reducirá los costos de producción. Este método de test

* Este texto se recibió, para ser publicado, en agosto de 1996.

está empezando a unirse satisfactoriamente con soluciones convencionales de test, como el test de fallos funcionales o stuck-at, para mejorar los mecanismos de detección de defectos y fallos en cuanto a cantidad de aciertos y tiempo de detección dentro del proceso de fabricación de los dispositivos.

Si el test I_{DDQ} se complementa con técnicas de diagnóstico ópticas o de haz de electrones, es posible localizar el defecto, por ejemplo detectar un circuito abierto en un transistor del circuito integrado. Como se deduce, el test I_{DDQ} es muy útil en la verificación del diseño y caracterización del circuito, a nivel de silicio, lo cual reduce su tiempo de mercado.

2. CONCEPTOS BÁSICOS DE LA TECNOLOGÍA CMOS

La tecnología CMOS proporciona dos tipos de transistores: el transistor tipo-n (nMOS) y el transistor tipo-p (pMOS); la diferencia radica fundamentalmente en el dopado del silicio utilizado para el sustrato del transistor. La estructura de los dos tipos de transistores se puede observar en la figura 1.

Desde el punto de vista del presente artículo, interesa hacer un análisis del consumo de potencia de la tecnología CMOS. Existen dos componentes que establecen la cantidad de potencia disipada en un circuito CMOS, estas son:

1. Disipación estática, debida a las corrientes de fuga.
2. Disipación dinámica, debida a:
 - a. Corriente transitoria de conmutación
 - b. Carga y descarga de las capacitancias asociadas a la física del transistor.

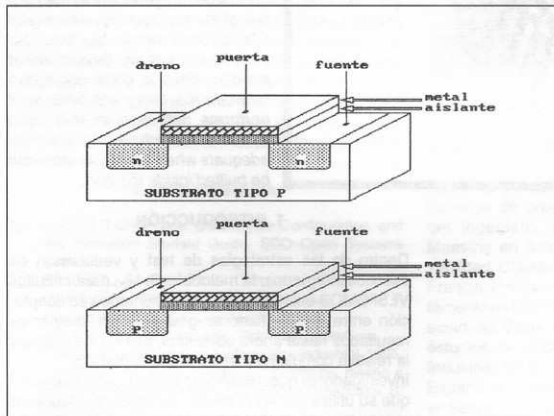


Figura 1.- Transistores CMOS tipo-n y tipo-p

2.1 Disipación estática

Existe una pequeña disipación de potencia estática debida fundamentalmente a las fugas en la corriente de polarización inversa entre las regiones de difusión y el sustrato. Para dimensionar esta corriente de fuga, es suficiente con modelar el fenómeno con diodos parásitos conectados entre la capa p-well y el sustrato. Puesto que estos diodos parásitos están polarizados inversamente, solamente contribuye su corriente de fuga a la disipación de potencia estática. La corriente de fuga se describe con la ecuación del diodo:

$$i_o = i_s \left[e^{\frac{V}{kT}} - 1 \right] \quad (1)$$

i_o	: Corriente a través del diodo
i_s	: Corriente inversa de saturación
V	: Voltaje del diodo
q	: Carga del electrón
k	: Constante de Boltzmann
T	: Temperatura absoluta

La disipación de potencia estática total en un dispositivo CMOS es el producto de la corriente de fuga I_{DDQ} y el voltaje de la fuente de alimentación V_{DD} . A temperatura ambiente la corriente de fuga en una puerta lógica CMOS está entre 0.1 nA y 0.5 nA. Luego, la disipación de potencia estática total para un circuito integrado conformado por n dispositivos se puede calcular con el siguiente sumatorio para los n elementos:

$$P_s = V_{DD} \sum_{i=1}^n I_{DDQ_i} \quad (2)$$

Por ejemplo, el consumo típico de potencia estática debido a las fugas en un inversor operando a 5 voltios, está entre 1 y 2 nanovatios.

2.2 Disipación dinámica

En un circuito inversor, por ejemplo, durante la transición del estado lógico 0 a 1, ó alternativamente del estado 1 a 0, a través de los transistores tipo-p y tipo-n, circula una corriente por un corto período de tiempo. El resultado es un pulso de corriente alto, respecto de la corriente estática, circulante entre los terminales de drenaje y fuente. Esta corriente es requerida también para cargar y descargar las capacitancias asociadas al transistor. Este pulso de corriente trae como consecuencia que exista una **alta** disipación de potencia

de «corto_circuito» que dependerá de las capacitancias de carga C_L y del diseño de la compuerta lógica. La disipación dinámica puede modelarse asumiendo que los tiempos de subida o caída (conmutación de la señal), son mucho menores que el período de repetición (frecuencia de la señal). El promedio de la potencia dinámica, P_d , disipada durante la conmutación para una onda cuadrada de entrada V_{IN} con frecuencia de repetición $f_p = 1/T_p$, viene dada por la siguiente expresión:

$$P_d = C_L f_p V_{DD}^2 \quad (3)$$

La potencia total disipada, P_t , puede obtenerse sumando los dos componentes de disipación de potencia, así:

$$P_t = P_s + P_d \quad (4)$$

Sin embargo, desde el punto de vista de la filosofía I_{DDQ} , lo que interesa resaltar es el bajo consumo de potencia estática, del orden 1 a 2 nanovatios.

3. PRINCIPIOS DEL TEST I_{DDQ}

El test I_{DDQ} es una consecuencia lógica del diseño y construcción de los circuitos integrados con tecnología CMOS, ya que el consumo de potencia (dreno de corriente de la fuente de alimentación) es prácticamente nulo y es justamente el debido a la corriente de fuga. Como se planteó en el párrafo anterior, un circuito inversor conformado por dos transistores, consume 1-2 nanovatios. Su equivalente bipolar consumiría una potencia del orden de los milivatios en el modo estático.

3.1 Fundamentos básicos

En el test I_{DDQ} se mide la corriente de la fuente de alimentación V_{DD} en condiciones lógicas estáticas, es decir, después de que las entradas han conmutado y antes de que se produzca la próxima conmutación.

La figura 2 muestra los principios básicos del test I_{DDQ} . En esta figura se contempla el caso en el cual un CI tiene una puerta con un defecto en el óxido del transistor tipo-p de una puerta lógica interna. Cuando la entrada en la puerta lógica cambia de-

de un nivel lógico 1 a un nivel lógico 0, la magnitud de la corriente I_{DDQ} cambia desde un valor bajo a un valor mucho mayor. Si el circuito no tiene ningún defecto, I_{DDQ} retornaría a su valor inicial bajo. En la figura 2 se muestran las diferencias en el comportamiento de la corriente I_{DDQ} para un circuito con fallo y sin él; además, se enfatiza en el tiempo aproximado que requeriría I_{DDQ} para estabilizarse.

Como se observa en la figura 2, la corriente I_{DDQ} en una celda CMOS estática, no es constante a través del tiempo. Cuando hay una transición en la salida, se observa un pico en la corriente I_{DDQ} . Estos picos se deben a la carga y descarga de los capacitores asociados en los nodos de los circuitos de salida y la corriente de solape a través de los transistores tipo-p y tipo-n que intervienen en la conmutación. Cuando se completa la transición y todo el circuito está en estado de reposo (podría asimilarse como un régimen permanente, y a la conmutación como un régimen transitorio), la corriente I_{DDQ} es en la práctica muy cercana a cero, y se mantiene en este estado hasta que ocurre una nueva transición. La corriente I_{DDQ} es muy sensible a las degradaciones o defectos en los circuitos, los cuales generan una corriente I_{DDQ} mucho mayor que la corriente I_{DDQ} normal. Esta característica es la que se usa para el test de corriente I_{DDQ} que detecta defectos.

3.2 Detección de defectos y fallos

Del amplio espectro reportado en la literatura técnica de defectos posibles en la tecnología CMOS, se consideran los más importantes porque estadísticamente se ha demostrado que son los responsables de más del 50% de los fallos en los CI con proceso CMOS, los siguientes tres defectos:

- Defecto interno en el transistor MOS (GOS - Gate Oxide Short)

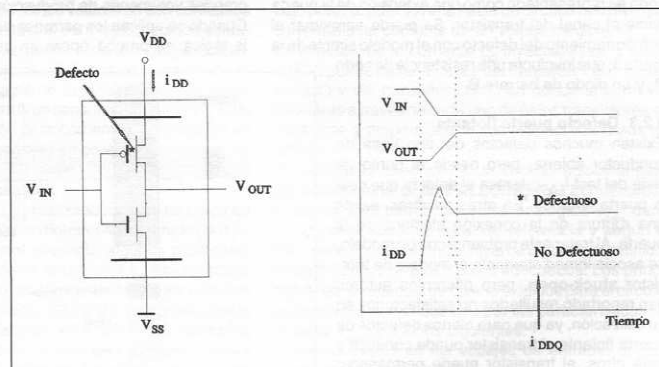


Figura 2.- Formas de onda de voltaje y corriente generalizadas para un CI CMOS

- Defecto externo: puentes entre las líneas de conducción
- Defecto externo: líneas de conducción hacia la puerta del transistor abiertas

3.2.1 Defecto tipo Puente

Un defecto tipo puente aparece cuando dos o más líneas están, de forma indeseada, conectadas eléctricamente en un circuito integrado. Existen dos tipos de puentes, los verticales y los horizontales, dependiendo de que niveles ha interconectado el defecto.

El defecto tipo puente típicamente no puede ser modelado por el método stuck-at, porque el puente a menudo no se comporta como un nodo enclavado permanentemente a un valor lógico 0 ó 1, puesto que puede haber involucrada una resistencia que interconecte los dos nodos puenteados.

3.2.2 Defecto GOS (Gate Oxide Short)

El defecto GOS aparece muy frecuentemente en la tecnología CMOS. Para este tipo de fallos aparece una trayectoria, indeseada, de corriente a través del óxido de la puerta en el transistor MOS, este defecto involucra que el aislamiento de la puerta es defectuoso, violando el principio básico de la tecnología MOS.

Los defectos tipo GOS son corto circuitos entre la metalización de la puerta y la zona activa, a través del óxido de silicio SiO_2 del dispositivo. En la figura 3 se muestra un defecto GOS para un transistor canal-n. El corto es representado como una extensión de la puerta hacia el canal del transistor. Se puede aproximar el comportamiento del defecto con el modelo simple de la figura 3, que involucra una resistencia de corto R_s y un diodo de barrera B.

3.2.3 Defecto puerta flotante

Existen muchos defectos del tipo línea de conductor abierta, pero desde el punto de vista del test I_{DDQ} interesa el defecto que deja la puerta flotando. En otras palabras, existe una ruptura en la conexión eléctrica de la puerta. Al tratar este problema con un modelo, se asocia inmediatamente el modelo de transistor stuck-open, pero diferentes autores han reportado resultados no satisfactorios en su utilización, ya que para ciertos defectos de puerta flotante el transistor puede conducir y para otros, el transistor puede permanecer abierto. En consecuencia, el modelo reco-

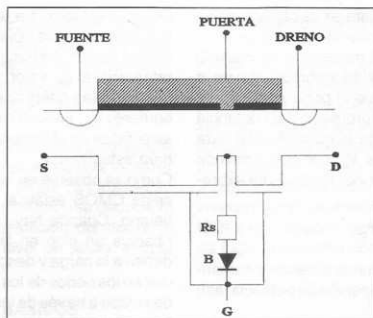


Figura 3.- Modelo Simple para un Defecto del Tipo GOS

mendado es el I_{DDQ} , que considera el efecto sobre la corriente en reposo que introducen las capacitancias con las que se aproxima el comportamiento de este defecto, tal como se muestra en la figura 4.

3.3 Generación de patrones de test

Para realizar el test I_{DDQ} se utilizan vectores que crean uno o más trayectorias de baja resistencia desde V_{DD} a V_{SS} en presencia de defectos en circuitos CMOS. Bajo el concepto que inspira

el test I_{DDQ} , si el circuito a probar contiene defectos detectables por un vector de test I_{DDQ} , el circuito presentará una corriente de reposo excesivamente alta al aplicar el vector.

Existen tres tipos de patrones de test I_{DDQ} :

- **Every Vector I_{DDQ}** : Para estos patrones de test, se realiza la medida de la corriente I_{DDQ} para todos los vectores de test.
- **Selective I_{DDQ}** : Se selecciona un subconjunto de vectores de test para realizar la medida de la corriente I_{DDQ} .
- **Supplemental I_{DDQ}** : Es un conjunto de vectores de test generados específicamente para el test I_{DDQ} .

Como es obvio el test, **Every Vector I_{DDQ}** , presenta como principal ventaja su amplia cobertura, sin embargo el número de vectores de test para los cuales debe medirse la corriente I_{DDQ} puede ser muy alto, haciéndolo impráctico en test y verificación de circuitos VLSI de grandes volúmenes de producción.

Cuando se aplican los patrones de test, **Selective I_{DDQ}** , la lógica en prueba opera en su velocidad normal,

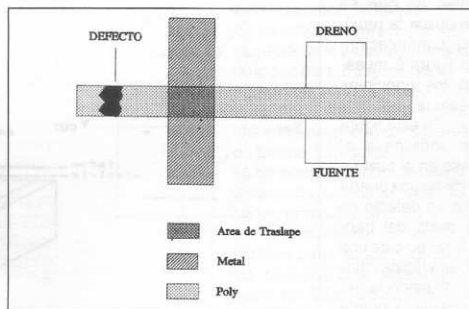


Figura 4.- Defecto de Puerta Flotante en Tecnología CMOS

excepto en las ocasionales pausas para medir la corriente I_{DDQ} cuando se aplica el vector de test I_{DDQ} seleccionado. En el test *Supplemental I_{DDQ}* el test lógico es realizado a la velocidad del sistema y es complementado por la medida de la corriente I_{DDQ} para los vectores generados específicamente para el test I_{DDQ} ; naturalmente, el test I_{DDQ} se ejecutará a una frecuencia de reloj más baja.

Según la experiencia obtenida por diversos investigadores [1], la generación de patrones más recomendada para aplicaciones industriales es el test *Selective I_{DDQ}* . Ha sido probado con efectividad para diferentes tipos de fallas en circuitos secuenciales de 40.000 transistores, obteniéndose tiempos de prueba en producción económicos.

4. INSTRUMENTACIÓN REQUERIDA

Uno de los problemas más importantes, desde el punto de vista práctico y de implementación, es el conseguir medir con precisión la corriente I_{DDQ} , pues requiere un circuito analógico con capacidad para sensar corrientes del orden de 1 μ A a frecuencias del orden algunas decenas de kHz.

La medición de I_{DDQ} en pruebas de producción usan la instrumentación fuera del circuito integrado, con el sensor y su circuitería, colocadas como cargas del téster o haciendo parte del téster mismo. Los circuitos de medida pueden ser tan sofisticados o simples como el costo y diseño del circuito integrado lo exijan. Inicialmente se utilizaron circuitos simples como circuitos comparadores con diodos, amplificadores operacionales, o simplemente una resistencia serie con la trayectoria I_{DDQ} hacia el pin V_{DD} . Con estos circuitos se consigue medir corrientes I_{DDQ} limitadas a un orden de 10 - 20 μ A, en realidad, estos valores no son confiables en la detección de defectos para los consumos actuales de los circuitos integrados en la tecnología CMOS. Aunque existen mejoras sustanciales para medir la corriente I_{DDQ} externamente, la tendencia en las investigaciones es el construir un sensor de corriente ad_hoc, en el cual la detección de la corriente I_{DDQ} se realiza en el mismo circuito integrado en prueba.

4.1 Conceptos básicos

El test y verificación I_{DDQ} realizado a través de los pines de voltaje de alimentación del circuito integrado (test de corriente I_{DDQ} **externo**) presenta algunos problemas porque la mayor parte de la corriente I_{DD} en un circuito VLSI CMOS estático es suministrada por los circuitos impulsores en los «pads» de salida, en consecuencia las corrientes I_{DDQ} debidas a los fallos internos de los bloques funcionales del circuito, son ocultados por las corrientes de salida. Además, los valores altos de las capacitancias asociadas a los circuitos de prueba,

prolongan el tiempo de prueba y bajan la frecuencia del test. Esto conduce a medir la corriente I_{DDQ} internamente en los circuitos integrados CMOS estáticos y surge, entonces, el concepto de sensores **BIC** (Built-In Current), como una solución para conseguir medidas de I_{DDQ} a frecuencias más altas.

El sensor BIC es construido en el interior del circuito a ser probado y puede determinar si la corriente en estado de reposo del circuito, I_{DDQ} , está por debajo o por encima de un nivel de umbral. Fundamentalmente, esta técnica adiciona un sensor BIC en las líneas de fuente de alimentación V_{DD} y/o tierra GND.

Los requerimientos de diseño de un sensor BIC son:

- Detectar corrientes estáticas anormales en un amplio rango de valores.
- No introducir disturbios, o al menos minimizarlos, en las características estática y dinámica de la celda bajo prueba.
- Debe ser lo más simple y pequeño posible para minimizar el área adicional necesaria para su construcción.
- La prueba I_{DDQ} debe ser rápida.
- Capacidad de almacenamiento del estado de fallo de la celda bajo prueba, con el fin de leer este estado más tarde.
- Cubrir el máximo número de circuitos posibles con cada sensor BIC, con el fin de minimizar el área de silicio requerida.

4.2 Aproximación a un sensor BIC proporcional

En la referencia [4], se encuentra descrito un sensor BIC implementado en la Universidad Politécnica de Cataluña. Este sensor utiliza un transistor bipolar lateral (LBJT), en su estructura, que está conectado en configuración base común (figura 5). Esto permite obtener una fracción de la corriente I_{DD} desde la celda bajo prueba, para llevarla hacia un circuito resistivo que convierte esta corriente en un voltaje medible V_{sens} . La totalidad de la corriente I_{DD} inyectada por la celda CMOS puede pasar a través del transistor VBJT1 (BJT vertical) y del transistor LBJT, en donde la corriente circulante a través de cada uno de estos transistores es constante y proporcional a sus respectivas áreas de emisor.

Es necesario disponer de un circuito adicional para extraer una señal digital **FALLO/NO-FALLO**, del circuito sensor BIC básico. La señal analógica V_{sens} debe compararse con una señal de referencia y según el valor de V_{sens} supere o no al nivel de umbral predefinido, se definirán los niveles lógicos adecuados. Los principales requerimientos de diseño exigidos para el circuito comparador, son impuestos por las características de la señal V_{sens} , y son los siguientes:

- Bajos niveles en los voltajes de entrada: aproximadamente, 0 - 800 mV.
- Voltaje de entrada offset, bajo.

- Respuesta dinámica rápida, para conseguir frecuencias de prueba I_{DDQ} altas.
- De arquitectura simple para minimizar el área de silicio.
- Fuente de alimentación única.

La referencia [4], recomienda los comparadores realizados con base en los amplificadores de sensado, usados en circuitos de memoria, pues reúnen todos estos requerimientos.

El sensor BIC descrito fue fabricado en ES2 y fue probado con el fin de conseguir una función de transferencia experimental y un comportamiento general. La relacional funcional entre el voltaje V_{sens} y la corriente I_{DDQ} es exponencial, lo cual garantiza una respuesta dinámica más rápida en condiciones de fallo I_{DDQ} , que si la relación funcional fuese lineal.

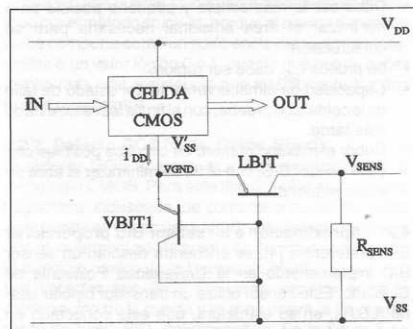


Figura 5.- Sensor BIC de Corriente I_{DDQ}

5. CONCLUSIONES

- El test y verificación I_{DDQ} para circuitos integrados CMOS estáticos, es una buena alternativa frente a los métodos de test tradicionales, como el stuck-at, cuando se trata de determinar fallos debidos a defectos estructurales y en donde los procedimientos de tipo lógico o funcional no son suficientes.
- Para que el test I_{DDQ} sea viable en procesos de producción con altos volúmenes de fabricación de CI's, debe ser rápido y confiable. Actualmente, las investigaciones se proyectan hacia propuestas de software y hardware que permitan incorporar en el test I_{DDQ} la línea de producción reduciendo sus costos significativamente. El cumplimiento de estos

requerimientos, es fundamental para que el test I_{DDQ} sea realizable y tenga futuro tecnológico.

- La mejor opción tecnológica que garantiza velocidad de prueba, precisión, confiabilidad y realizabilidad es el construir los sensores de corriente I_{DDQ} , haciendo parte del circuito integrado (sensor BIC), frente a la opción de realizar la medida externamente, en los terminales de V_{DD} y GND.

6. BIBLIOGRAFIA

- [1]. SODEN, J. HAWKINS, CH. GULATI, R. MAO, W. « I_{DDQ} Testing: A Review». Journal of Electronics Testing: Theory and Applications, 3, 291-303. 1992 Kluwer Academic Publishers, Boston.
- [2]. WESTE, N. ESHRAGHIAN, K. «Principles of CMOS VLSI Design. A Systems Perspective». Addison-Wesley Publishing Company. 1985
- [3]. SEGURA, J. CHAMPAC, V. RODRIGUEZ, R. FIGUERAS, J. RUBIO, J. «Quiescent Current Analysis and Experimentation of Defective CMOS Circuits». Journal of Electronics Testing: Theory and Applications, 3, 337-348. 1992 Kluwer Academic Publishers, Boston.
- [4]. RIUS, J. FIGUERAS, J. «Proportional BIC Sensor for Current Testing». Journal of Electronics Testing: Theory and Applications, 3, 387-396. 1992 Kluwer Academic Publishers, Boston

LOS AUTORES

Eduardo F. Caicedo B.

Ingeniero Electricista de la Universidad del Valle (1984), Máster en Informática Industrial (1993) y Doctor Ingeniero en Informática Industrial de la Universidad Politécnica de Madrid (1995). Profesor Titular del Departamento de Electricidad, vinculado a la Cátedra de Instrumentación y Percepción Inteligente. Su trabajo se centra en el área de los microprocesadores y de los sistemas inteligentes.



Asfur Barandica L.

Ingeniero Electricista de la Universidad del Valle (1989). Profesor Asistente de la Escuela de Electricidad y Electrónica de Univalle, vinculado a la Cátedra de Instrumentación y Percepción Inteligente. Su trabajo se centra en el área de los sistemas digitales y los microprocesadores. Desarrolla actualmente estudios de maestría en automática en la misma Universidad.

